

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-203590

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

G11C 29/00
G11C 29/00
G11C 16/06
H01L 27/115

(21)Application number : 05-000304

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.01.1993

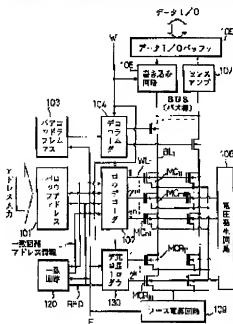
(72)Inventor : AKAOGI TAKAO
KAWASHIMA HIROMI
TAKASHINA NOBUAKI
YAMASHITA MINORU
RYU YASUSHI
ITANO KIYOYOSHI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To obtain a device in which redundancy for word lines is effectively introduced, while stable writing and each verifying can be performed, and which has a high yield and high performance.

CONSTITUTION: This device is provided with means 101, 102 and which simultaneously select word lines in a word line block constituted with word lines of $2m$ out of word lines of $2n$ ($n > m$), means 101; 102 and 120 which do not select a word line block constituted with word lines of $2k$ in a word line block constituted with word lines of the above mentioned $2m$. When word lines in the word line block of $2k$ in the word line block of $2m$ is defective, it is made non-selection, while word lines in a word line block constituted with word lines of $2k$ located outside of the word line block constituted with $2n$ are selected. (101, 102, 120; 120, 130)



特開平6-203590

(43) 公開日 平成6年(1994)7月22日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 1 B	6866-5L		
	3 0 3 G	6866-5L		
	F	6866-5L		
		6866-5L	G 1 1 C 17/00	3 0 9 F
		7210-4M	H 0 1 L 27/10	4 3 4
審査請求 未請求 請求項の数25 (全 36 頁) 最終頁に続く				

(21) 出願番号 特願平5-304

(22) 出願日 平成5年(1993)1月5日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 赤荻 隆男

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 川崎 博美

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 高品 信昭

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 宇井 正一 (外4名)

最終頁に続く

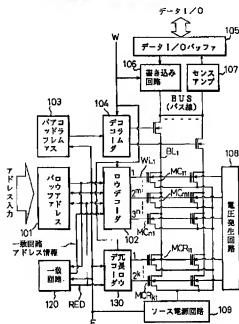
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 フラッシュメモリ等の電気一括消去型の不揮発性半導体記憶装置に関し、ワード線冗長を有効に導入すると共に、安定した書き込みおよび各ペリファイを可能として、高歩留りで高性能なデバイスの実現を目的とする。

【構成】 2¹ 本のワード線のうち2² 本 ($n > m$) のワード線で構成されるワード線ブロック中のワード線を同時に選択する手段101, 102, 120 と、前記2² 本のワード線で構成されるワード線ブロック中の2² 本 ($m > k$) で構成されるワード線ブロックを非選択する手段101, 102, 120 とを具備し、前記2² 本のワード線ブロック中の2² 本のワード線ブロック中のワード線に欠陥がある場合、当該2² 本のワード線ブロック中の2² 本のワード線ブロック中のワード線を非選択すると共に、前記2² 本で構成されるワード線ブロック外に存在する2² 本のワード線で構成されるワード線ブロック中のワード線を選択する101, 102, 120; 120, 130ように構成する。

本発明に係る半導体記憶装置の第1の形態の一実施例を示すブロック図



1

【特許請求の範囲】

【請求項1】 複数の2[※]本のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差点所にそれぞれ設けられ電氣的に外部から閾値電圧を制御できるM1Sトランジスタで構成された複数の不揮発性のメモリセル(MC)と、選択されたワード線およびビット線の交点に位置するメモリセルにデータを書き込む書き込み回路(106)と、前記メモリセルに保持されたデータを検出して出力するセンスアンプ(107)とを具備する半導体記憶装置であって、

前記2[※]本のワード線のうち2[※]本(n>m)のワード線に構成されるワード線ブロック中のワード線を同時に選択する手段(101, 102, 120)と、

前記2[※]本のワード線に構成されるワード線ブロック中の2[※]本(m>k)で構成されるワード線ブロックを非選択する手段(101, 102, 120)とを具備し、前記2[※]本のワード線ブロック中の2[※]本のワード線ブロック中のワード線に欠陥がある場合、当該2[※]本のワード線ブロック中の2[※]本のワード線ブロック中のワード線を非選択すると共に、前記2[※]本で構成されるワード線ブロック外に存在する2[※]本のワード線に構成されるワード線ブロック中のワード線を選択する(101, 102, 120; 130)ようにしたことを特徴とする半導体記憶装置。

【請求項2】 前記選択されたワード線を負の電圧に設定し、且つ、前記非選択状態のワード線を零ボルト若しくは正の電圧に設定するようにしたことを特徴とする請求項1の半導体記憶装置。

【請求項3】 前記2[※]本で構成されるワード線ブロックはリアルセルブロックを構成し、前記2[※]本のワード線に構成されるワード線ブロックは消去ブロックを構成し、且つ、前記2[※]本で構成されるワード線ブロック外に存在する2[※]本のワード線に構成されるワード線ブロックは冗長セルブロックを構成したことを特徴とする請求項1の半導体記憶装置。

【請求項4】 複数の2[※]本のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差点所にそれぞれ設けられ電氣的に外部から閾値電圧を制御できるM1Sトランジスタで構成された複数の不揮発性のメモリセル(MC)と、選択されたワード線およびビット線の交点に位置するメモリセルにデータを書き込む書き込み回路(106)と、前記メモリセルに保持されたデータを検出して出力するセンスアンプ(107)とを具備する半導体記憶装置であって、

前記2[※]本のワード線のうち2[※]本(n>m)のワード線に構成されるワード線ブロック中のワード線を同時に選択する手段(101, 102, 120)と、

前記2[※]本のワード線に構成されるワード線ブロック中の2[※]本(m>k)で構成されるワード線ブロックを非選択する手段(101, 102, 120)とを具備し、前記2[※]本のワード線に構成されるワード線ブロック中の非選択状態

2

のワード線電位よりも閾値が低いセルトランジスタには、該セルトランジスタに非選択状態のワード線電位よりも閾値が高くなるように書き込みを行い、且つ、前記2[※]本で構成されるワード線ブロック外の2[※]本で構成されるワード線ブロックを冗長ワード線として使用するようにしたことを特徴とする半導体記憶装置。

【請求項5】 複数のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差点所にそれぞれ設けられ電氣的に外部から閾値電圧を制御できるM1Sトランジスタで構成された複数の不揮発性半のメモリセル(MC)と、選択されたワード線およびビット線の交点に位置するメモリセルにデータを書き込む書き込み回路(106)と、前記メモリセルに保持されたデータを検出して出力するセンスアンプ(107)とを具備する半導体記憶装置であって、

前記ワード線に接続されたセルトランジスタに対して該セルトランジスタに非選択状態のワード線電位よりも閾値が高くなるように書き込む場合、該セルトランジスタのドレインに供給される電流を、当該セルトランジスタのチャネル電流を越えないように、前記ワード線を制御するようにしたことを特徴とする半導体記憶装置。

【請求項6】 複数のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差点所にそれぞれ設けられ電氣的に外部から閾値電圧を制御できるM1Sトランジスタで構成された複数の不揮発性のメモリセル(MC)と、選択されたワード線およびビット線の交点に位置するメモリセルにデータを書き込む書き込み回路(106)と、前記メモリセルに保持されたデータを検出して出力するセンスアンプ(107)とを具備する半導体記憶装置であって、

前記センスアンプの判定電流を2つの大きさの異なるロードトランジスタをオンにする組み合わせで変化させ、通常のデータ読み出し処理、消去時のベリファイ処理、および、書き込み時のベリファイ処理の3つの処理状態を実効するようにしたことを特徴とする半導体記憶装置。

【請求項7】 前記ワード線に接続されたセルトランジスタの書き込みベリファイ時および消去ベリファイ時のワード線電圧は、基準電圧(V_{ss})を昇圧して発生するようにしたことを特徴とする請求項1～6のいずれかの半導体記憶装置。

【請求項8】 前記ワード線に接続されたセルトランジスタの書き込みベリファイ時および消去ベリファイ時のワード線電圧は、同一工程で作成されるPチャネル型トランジスタおよびNチャネル型トランジスタを直列にダイオード接続して構成するようにしたことを特徴とする請求項1～6のいずれかの半導体記憶装置。

【請求項9】 複数のメモリセルを有し、複数のブロックに分割されたリアルセル(208)と、該リアルセルにおける欠陥箇所を置き換える冗長セル(206)と、

3

前記リアルセルの各ブロックにおける欠陥アドレスを示す複数の欠陥アドレス指定手段(201A, T_A, 201B, T_B)と、

該複数の欠陥アドレス指定手段に対して共通に設けられ、前記複数の欠陥アドレスと前記リアルセルの各ブロックにおけるアドレスとを比較するアドレス比較手段(204)とを具備することを特徴とする半導体記憶装置。

【請求項1】 前記半導体記憶装置は、

前記欠陥アドレス指定手段および前記アドレス比較手段を有する冗長回路(200)と、

該冗長回路の出力および前記分割されたリアルセルのブロックを指定するブロックアドレスが供給され、該指定されたリアルセルのブロックにおけるメモリセルの選択および非選択を制御するリアルセル選択手段(205)と、前記冗長回路の出力および前記ブロックアドレスが供給され、前記冗長セルの選択および非選択を制御する冗長セル選択手段(205)とを具備する請求項9の半導体記憶装置。

【請求項11】 複数のメモリセルを有するリアルセルアレイ(208)と、

リアルセルにおける欠陥箇所を置き換える冗長セル(206)と、外部からのアドレス入力において欠陥のあるアドレスにデータを書き込む冗長情報記憶用セルアレイ(221; 221, 223)と、

該冗長情報記憶用セルアレイを前記アドレス入力により選択するセル選択回路(220)と、

該セル選択回路の出力に対応した前記冗長情報記憶用セルアレイの出力を読み出して、冗長信号を出力する読み出し回路(222; 222, 224)とを具備する半導体記憶装置。

【請求項12】 電気的に情報の書き換えが可能な不揮発性のメモリセルを有し、該メモリセルに対する情報の書き込み若しくは消去を該半導体記憶装置の内に設けた内部アルゴリズムに従って自動的に行なう半導体記憶装置であって、

前記内部アルゴリズムにおける前記メモリセルに対する情報の書き込み若しくは消去時間許容値を可変にするようにしたことを特徴とする半導体記憶装置。

【請求項13】 前記最大バルス印加回数の変更は、出荷試験時において、通常よりも厳しい条件となるように該最大バルス印加回数を少なくするようにしたことを特徴とする請求項12の半導体記憶装置。

【請求項14】 複数のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差箇所それぞれに設けられ電気的に外部から閾値電圧を制御できるMISトランジスタで構成された複数のメモリセル(MC0)と、書き込み用電圧(Vpp)を前記メモリセルのドレインに印加する書き込み電圧供給用トランジスタ(406)とを具備する半導体記憶装置であって、

前記書き込み電圧供給用トランジスタをPチャネル型M

4

ISトランジスタで構成し、前記書き込み用電圧を前記メモリセルのドレインに有効に印加するようにしたことを特徴とする半導体記憶装置。

【請求項15】 複数のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差箇所それぞれに設けられ電気的に外部から閾値電圧を制御できるMISトランジスタで構成された複数のメモリセル(MC0)と、書き込み用電圧(Vpp)を前記メモリセルのドレインに印加する書き込み電圧供給用トランジスタ(406)と、

前記書き込み電圧供給用トランジスタをNチャネル型MISトランジスタで構成し、ゲート電極を書き込み用電圧と該Nチャネル型MISトランジスタの閾値電圧の和以上に昇圧する昇圧手段を具備することを特徴とする半導体記憶装置。

【請求項16】 複数のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差箇所それぞれに設けられフローティングゲートへの電荷の注入の有無により電気的に外部から閾値電圧を制御できるMISトランジスタで構成された複数のメモリセルトランジスタ(MC)を有するメモリセルアレイとを具備し、該メモリセルアレイの複数のメモリセルトランジスタのフローティングゲートより同時に電荷の放出を行って一括消去を行い得る半導体記憶装置であって、

読み出し時の選択ワード線に対して通常の選択電圧を印加し、該選択ワード線に接続されたメモリセルトランジスタを選択する第1の電源回路(5021)と、

読み出し時の非選択ワード線に対して、前記一括消去により過剰消去状態になったメモリセルトランジスタを含めて非選択にする第2の電源回路(5025)とを具備することを特徴とする半導体記憶装置。

【請求項17】 前記メモリセルトランジスタをエンハンスメント型のNチャネル型MISトランジスタで構成し、前記第1の電源回路を通常の正電圧(Vcc)を発生する正電圧電源として構成し、且つ、前記第2の電源回路を前記一括消去による過剰消去でデプレッション型として機能するようになった前記Nチャネル型MISトランジスタをカットオフする所定の負電圧を発生する負電圧電源として構成したことを特徴とする請求項16の半導体記憶装置。

【請求項18】 複数のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差箇所それぞれに設けられフローティングゲートへの電荷の注入の有無により電気的に外部から閾値電圧を制御できるMISトランジスタで構成された複数のメモリセルトランジスタ(MC)を有するメモリセルアレイとを具備し、該メモリセルアレイの複数のメモリセルトランジスタのフローティングゲートより同時に電荷の放出を行って一括消去を行い得る半導体記憶装置であって、

読み出し時の選択ワード線に対して通常の電圧を印加

5

し、該選択ワード線に接続されたメモリセルトランジスタを選択する第1のロウデコーダ(5221)と、該選択ワード線に接続されたメモリセルトランジスタのソースに対して所定電位の電源電圧(Vss)を印加すると共に、読み出し時の非選択ワード線に接続された全てのメモリセルトランジスタのソースに対して前記一括消去により過剰消去状態になったメモリセルトランジスタを含めて非選択状態とする電圧を印加する第2のロウデコーダ(5222)とを具備することを特徴とする半導体記憶装置。

【請求項19】 前記メモリセルトランジスタをエンハンスメント型のNチャネル型MISトランジスタで構成し、

前記第2のロウデコーダを、選択ワード線に接続されたメモリセルトランジスタのソースに対して低電位の電源電圧(Vss)を印加し、非選択ワード線に接続された全てのメモリセルトランジスタのソースに対して選択されたビット線のレベル以上の電圧を印加するようにしたことを特徴とする請求項18の半導体記憶装置。

【請求項20】 前記第2のロウデコーダは、読み出し時の非選択ワード線に接続された全てのメモリセルトランジスタのソースに対して、前記選択されたビット線のレベルと等しい電圧を印加するようにしたことを特徴とする請求項19の半導体記憶装置。

【請求項21】 複数のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差箇所それぞれに設けられフローティングゲートへの電荷の注入の有無により電気的に外部から閾値電圧を制御できるMISトランジスタで構成された複数のメモリセルトランジスタ(MC)を有するメモリセルアレイとを具備し、該メモリセルアレイの複数のメモリセルトランジスタのフローティングゲートより同時に電荷の放出を行って一括消去を行い得る半導体記憶装置の過剰消去セル救済方法であって前記一括消去により過剰消去となったメモリセルトランジスタを検出し、該過剰消去のメモリセルトランジスタに対して書き込み処理を行って該過剰消去となったメモリセルトランジスタを救済するようにしたことを特徴とする半導体記憶装置の過剰消去セル救済方法。

【請求項22】 複数のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差箇所それぞれに設けられフローティングゲートへの電荷の注入の有無により電気的に外部から閾値電圧を制御できるMISトランジスタで構成された複数のメモリセルトランジスタ(MC)を有するメモリセルアレイとを具備する半導体記憶装置であって、

消去前に前記メモリセルアレイの全てのメモリセルトランジスタに対して書き込み処理を行う消去前書き込み手段と、

該消去前書き込みが行われたメモリセルアレイの全てのメモリセルトランジスタに対して消去処理および消去ベ

6

リファイを行う消去手段と、

該消去処理および消去ベリファイが行われたメモリセルアレイにおいて、過剰消去のメモリセルトランジスタを検出する過剰消去セル検出手段と、

該検出された過剰消去セルに対して書き込み処理を行って過剰消去セルを救済する過剰消去セル救済手段とを具備することを特徴とする半導体記憶装置。

【請求項23】 複数のワード線(WL)と、複数のビット線(BL)と、該各ワード線および該各ビット線の交差箇所それぞれに設けられ電気的に外部から閾値電圧を制御できるMISトランジスタで構成された複数の不揮発性のメモリセル(MC)とを具備し、該複数の不揮発性メモリセルは、ブロックアドレスパツファからのブロック選択信号により選択される複数のセルブロック(B10, B20)を構成している半導体記憶装置であって、

前記各セルブロックは、データ消去手段を備え、且つ、前記ブロック選択信号をラッチする手段を有し、該ブロック選択信号がラッチされたセルブロックのデータ消去を同時に行うようにしたことを特徴とする半導体記憶装置。

【請求項24】 前記半導体記憶装置は、前記各セルブロックにおけるセルデータを判定するデータ判定回路(7271, 7272)と、書き込み並びに書き込みベリファイ時の期待値データおよび消去ベリファイ時の期待値データを格納する期待値データ格納回路(7021, 7022)と、前記データ判定回路の出力信号と前記期待値データとを比較し一致信号を発生する一致回路(7031, 7032)と、前記各セルブロックに対する一致信号の論理積をとる論理回路(704)とを備えることを特徴とする請求項23の半導体記憶装置。

【請求項25】 前記半導体記憶装置は、前記各セルブロックにおけるセルデータを判定するデータ判定回路(7271, 7272)と、書き込み並びに書き込みベリファイ時の期待値データおよび消去ベリファイ時の期待値データを発生する期待値データ発生回路(7041, 7042)と、前記データ判定回路の出力信号と前記期待値データとを比較し一致信号を発生する一致回路(7031, 7032)と、前記各セルブロックに対する一致信号の論理積をとる論理回路(704)とを備えることを特徴とする請求項23の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に関し、特に、フラッシュメモリ等の電気的一括消去型の不揮発性半導体記憶装置に関する。従来、紫外線による消去可能で電気的に書き込み可能な不揮発性半導体記憶装置としてEPROMが使用されており、また、近年、電気的に書き換え可能な不揮発性半導体記憶装置としてフラッシュメモリが注目されている。これらの不揮発性半導体記憶装置における冗長回路および書き込み回路の改良、

7

或いは、過剰消去対策等の改良が要望されている。

【0002】

【従来の技術】図1は本発明の第1の形態が適用される半導体記憶装置に使用するメモリセル(MC)を示し、電気的一括消去型不揮発性半導体記憶装置(フラッシュメモリ)におけるセルトランジスタ(メモリセルMC)の動作を説明するための図である。同図に示されるように、セルトランジスタは、ソースドレイン間にドの領域とも絶縁されたフローティングゲートFGが設けられ、該フローティングゲートFGの上にはコントロールゲートCGを形成して構成されている。

【0003】書き込み時には、ドレイン領域DDに印加するドレイン電圧Vdをほぼ電源電圧Vccとし、コントロールゲートCGに印加するゲート電圧Vgを正の高電圧(〜+10ボルト程度)とし、ソース領域SSに印加するソース電圧Vsを零ボルトとして、ドレイン端子(DD)からフローティングゲート(FG)に電子を注入してデータ“0”を書き込む。ここで、ドレイン電圧Vdには、書き込み用の電源電圧Vppが存在すればそれを使用することができる。さらに、ゲート電圧Vgに印加する高電圧は上記の書き込み用電圧Vppを使用してもよく、また、電源電圧Vccから昇圧により発生させた電圧を使用してもよい。

【0004】消去時には、ゲート電圧Vgを負の高電圧(〜-10ボルト程度)とし、ドレイン電圧Vdをオープン(ドレイン領域DDをフローティング状態)とし、そして、ソース電圧Vsを電源電圧Vccとして、フローティングゲート(FG)からソース端子(SS)に電子を引き抜いて消去(データ“1”の書き込み)を行う。また、読み出し時には、ゲート電圧Vgを電源電圧Vccとし、ドレイン電圧Vdをほぼ1ボルト程度とし、そして、ソース電圧Vsを零ボルトとして、ドレイン電流が流れるか否かでセルトランジスタに書き込まれているデータが“1”か“0”かを判別する。

【0005】図2は本発明に係る半導体記憶装置の第1の形態に対応する関連技術の半導体記憶装置の一例を示すブロック回路図である。同図において、参照符号111はロウアドレスパッファ、112はロウデコーダ、113はコラムアドレスパッファ、114はコラムデコーダ、115はデータI/Oパッファ、116は書き込み回路、117はセンスアンプ、118は負電圧発生回路、そして、119はソース電源回路を示している。また、参照符号B.Lはビット線、WLはワード線を示し、また、Wは書き込み時に高レベル“H”となる書き込み制御信号、Eは消去時に高レベル“H”となる消去制御信号を示している。

【0006】図2に示す半導体記憶装置において、読み出し時には、ロウアドレスおよびコラムアドレスによりワード線WLおよびビット線B.Lがそれぞれ一本ずつ選択され、センスアンプ117によりその選択されたメモリセルMC(セルトランジスタ)が電流を流すかどうかに

8

より、該選択されたセルトランジスタに書き込まれている内容がデータ“1”或いはデータ“0”かを判別して出力する。

【0007】データ書き込み時には、書き込み制御信号Wを高レベル“H”として書き込み回路116からバス線BUSに書き込み電圧を供給し、コラムデコーダ114により所定のビット線B.Lにバス線BUSを接続し、さらに、ロウデコーダ112によりワード線WLに書き込み電圧を供給する。また、消去時には、消去制御信号Eを高レベル“H”としてソース電源回路119によりセルトランジスタMCのソースラインに消去電圧を印加すると共に、コラムアドレスパッファ113によりビット線B.Lを非選択とする。さらに、ロウアドレスパッファ111により所定の数のワード線WLを同時選択すると共に、ロウデコーダ112により選択されたワード線WLに低レベル“L”を与え、且つ、非選択のワード線にWLに高レベル“H”を与え、そして、負電圧発生回路118により上記低レベル“L”レベルのワード線WLを負電圧に設定する。

【0008】図3は図2の半導体記憶装置におけるコラムアドレスパッファ113の一例を示す回路図、図4はロウアドレスパッファ111の一例を示す回路図、図5はロウデコーダ112の一例を示す回路図、そして、図6はコラムデコーダ114の一例を示す回路図である。まず、読み出し時において、消去制御信号Eが低レベル“L”であるため、図3に示すコラムアドレスパッファ113および図4に示すロウアドレスパッファ111は、入力アドレスに対して正および負論理を出力することになる。図5に示すロウデコーダ112において、参照符号φは、消去および書き込み時に所定の周波数で振振る信号であり、また、φ₀は、アドレス入力時しばらく高レベル“H”となる信号である。

【0009】図5に示すロウデコーダ112は、読み出し時において、書き込み制御信号Wが低レベル“L”であるため、トランジスタT₁、T₂により電源電圧Vccが導入されると共に、アドレス入力(ロウアドレスパッファ111からの出力)により、所定のデコーダが選択(例えば、図5中のノードN₁が高レベル“H”)となる。この状態で、信号φ₀に高レベル“H”のバース信号が与えられると、ノードN₁、N₂が零ボルトにリセットされると共に、信号φ₁が低レベル“L”に復振するのに応じてノードN₂が電源電圧Vccに充電される。さらに、トランジスタT₁、T₂のセルフブートストラップ効果により、ノードN₂も電源電圧Vccレベルに充電される。ここで、コラムデコーダ114における動作も、上述したロウデコーダ112の動作と同様であり、結局、所定のワード線WLに電源電圧Vccが印加されると共に、所定のビット線B.Lをセンスアンプ117に接続するようになっている。

【0010】図7は図2の半導体記憶装置における書き

9

込み回路116の一例を示す回路図であり、図8はソース電源回路119の一例を示す回路図である。図7に示す書き込み回路116において、書き込み制御信号Wが高レベル“H”で且つデータが低レベル“L”（反転レベル信号 /DATAが高レベル“1”）のとき、バス線BUSには電源電圧Vccを昇圧した高電圧が供給され、これにより所定のセルトランジスタに書き込み処理を行なうことができるようになっている。ここで、/DATAは、データI/Oバッファ115より書き込み信号として書き込み回路116に転送される信号である。

【0011】消去時には、消去制御信号Eは高レベル“H”レベルとなり、図3のコラムアドレスバッファ113においては、出力Aおよび/Aがともに低レベル“L”となる。これらの出力Aおよび/Aは、コラムデコード114に入力されて、コラム（ビット線BL）は非選択状態となり、該ビット線BLは電氣的にいかなるノードとも切り離される。また、ロウアドレスバッファ111においては、全部でn個存在するもののうちm個に消去制御信号Eを印加するように構成する。これにより、2^m本のワード線を図5のロウデコード112により同時に選択することが可能となる。尚、ロウデコード112においては、消去制御信号Eが高レベル“H”であるため、ノードN_iは半ポルトになり、ノードN_jには高レベル“H”が印加される。これにより、選択されたワード線WLには低レベル“L”を印加し、非選択のワード線WLには高レベル“H”を印加することが可能となる。

【0012】ここで、低レベル“L”のワード線WLは、負電圧発生回路118により消去電圧に設定されると共に、高レベル“H”のワード線WLは、図5におけるノアゲートの出力N_iの電位が常に低レベル“L”となって信号φがノードN_jに接続された電容量素子に伝達されなくなるため高レベル“H”を保持する。このとき、セルトランジスタMCのソースSSには、図8に示すソース電源回路119により電源電圧Vccが印加される。これにより、2^m本のワード線を単位にしたワード線ブロック中のセルトランジスタのデータを同時に消去することが可能となる。

【0013】図9は図2の半導体記憶装置におけるセンスアンプ117の一例を示す回路図である。図9に示すセンスアンプ117においては、選択されたセルトランジスタMCのドレイン電流がトランジスタT₁の流すことのできる電流より大きい、或いは、小さいかにより、該センスアンプ117の出力φを所定レベル“H”または低レベル“L”とする。ここで、トランジスタT₁、T₂、T₁₁、T₁₂は、バス線BUSの電位を1ポルト程度に設定するバイパス回路を構成している。

【0014】書き込み時においては、書き込み制御信号Wを高レベル“H”とし、信号φを所定の周波数で振振させる。このとき、ノードN_iは、トランジスタT₁、

10

T₂により書き込み電圧が供給される。そして、信号φ₁による読み出し時と同様に高レベル“H”のバースを印加すると、ノードN_jは書き込み電圧に充電されると共に、ノードN_iもトランジスタT₁、T₂によるセルフブートストラップ効果によりノードN_jと同じレベルに充電される。コラムデコード114においても動作は同様であり、結局、所定のワード線WLには書き込み電圧が供給されると共に、ビット線BLは書き込み回路116に接続されることになる。

10 【0015】

【発明が解決しようとする課題】図2～図9を参照して説明したように、関連技術としての半導体記憶装置（フラッシュメモリ）においては、消去セルフブロックは、通常、512kビット程度の大きな容量を単位とされることが多く、このブロック中に欠陥セルが存在する場合には、この大きなブロックをそのまま大きな容量を有する冗長セルフブロックに置き換える冗長方式が使用できない。そのため、効率の良い（少ないスベア用セルで多くの欠陥セルを置き換える）冗長を行なうことが困難となっている。具体的に、例えば、図1中のメモリセルMC₁₁が過剰消去となっていると、メモリセルMC₁₁を介してビット線BLに電流が常に流れ、正確な読み出し処理および書き込み処理を行うことができない。

【0016】図10は半導体記憶装置（フラッシュメモリ）における書き込み特性曲線の一例を示す図である。上述した関連技術の半導体記憶装置の構成では、書き込み用のドレイン電圧を電源電圧Vccから昇圧して使用しているため、書き込み回路のビット線への駆動能力の限界からビット線に大きな電流を流すとビット線電位が低下するようになっている。過剰消去となったセルトランジスタの特性によっては、図10中の実線で示されるように、セルトランジスタの書き込み特性曲線は、書き込み回路116のロードカーブと書き込みの不可能な領域Aでぶつかり、書き込みが不可となる事態に陥ることも考えられる（D～B点でないとき書き込みは不可）。また、消去および書き込みベリファイ用のワード線電圧は、外部書き込み用電圧を降圧して使用するのが一般であるが、本構成では、外部書き込み用電圧を使用しない構成なので、ベリファイ動作を行なうことが困難であるとともに、ワード線冗長の場合に過剰消去となったセルトランジスタを単にスベア用セル（スベア用ワード線）で置き換えてもデバイスの正常動作は望めない。この場合、その過剰消去になったセルに再び書き込みを行うことにより過剰消去が解消され正常な冗長動作を実現可能とできるが、過剰消去のセルは図10中のA点付近でより電流が大きくなるため、上記理由により書き込みが更に困難となりうる。

【0017】本発明の第1の形態は、ワード線冗長を有効に導入すると共に、安定した書き込みおよび各ベリファイを可能として、高歩留りで高性能なデバイスの実現

11

を目的とする。

【0018】

【課題を解決するための手段】図1は本発明に係る半導体記憶装置の第1の形態の一実施例を示す回路図である。本発明の第1の形態によれば、複数の2ⁿ本のワード線WLと、複数のビット線BLと、該各ワード線および該各ビット線の交差箇所それぞれに設けられ電気的に外部から閾電圧を制御できるMISトランジスタで構成された複数の不揮発性のメモリセルMCと、選択されたワード線およびビット線の交点に位置するメモリセルにデータを書き込む書き込み回路106と、前記メモリセルに保持されたデータを検出して出力するセンスアンプ107とを具備する半導体記憶装置であって、前記2ⁿ本のワード線のうち2^m本 ($m < n$) のワード線で構成されるワード線ブロック中のワード線を同時に選択する手段101, 102, 120と、前記2ⁿ本のワード線で構成されるワード線ブロック中の2^m本のワード線で構成されるワード線ブロックを非選択する手段101, 102, 120とを具備し、前記2ⁿ本のワード線ブロック中の2^m本のワード線ブロック中のワード線に欠陥がある場合、当該2^m本のワード線ブロック中の2^m本のワード線ブロック中のワード線を非選択すると共に、前記2ⁿ本で構成されるワード線ブロック外に存在する2^m本のワード線で構成されるワード線ブロック中のワード線を選択する101, 102, 120, 130ようにしたことを特徴とする半導体記憶装置が提供される。

【0019】

【作用】本発明の半導体記憶装置の第1の形態によれば、2ⁿ本のワード線ブロック中の2^m本のワード線ブロック中のワード線に欠陥がある場合、2^m本のワード線ブロック中の2^m本のワード線ブロック中のワード線を非選択すると共に、2^m本で構成されるワード線ブロック外に存在する2^m本のワード線で構成されるワード線ブロック中のワード線を選択するようになる。ここで、書き込み処理に付いては、ゲート電圧を制御して、後述する図10中の点線のような書き込み回路のローカルの電流値を越えないうようにセルの書き込みカーブを実現させ書き込みを行なえばよい。また、ベリファに關しては、ワード線電圧をV_{cc}の昇圧および降圧により発生させるか、或いは、センスアンプのデータ判定電流値を制御する。さらに、過剰消去のセルを冗長救済するには、過剰消去になったセルに対して再びデータを書き込んだ後に冗長を行なう。

【0020】以上より、本発明の半導体記憶装置の第1の形態によれば、効率の良いワード線冗長が可能となり、また、外部書き込み電源をなくした場合（例えば、5ボルト単一電源）にした場合でも効果的に書き込みができる。さらに、本発明の半導体記憶装置の第1の形態によれば、過剰消去のセルにも書き込むことが可能となり、過剰消去セルの冗長も可能になると共に、ベリファ

12

イも良好に行なうことができる。

【0021】

【実施例】以下、図面を参照して本発明に係る半導体記憶装置の各実施例を説明する。まず、図1および図11～図19を参照して本発明に係る半導体記憶装置の第1の形態を説明する。図1は本発明に係る半導体記憶装置（フラッシュメモリ）の第1の形態の一実施例を示すブロック回路図である。図1から明らかなように、本実施例の半導体記憶装置は、図2に示す関連技術の半導体記憶装置に対して、入力アドレスと不良アドレスを比較する一致回路120、および、冗長ロウデコーダ130が追加された構成となっている。ここで、本実施例の半導体記憶装置におけるロウアドレスバッファ101、ロウデコーダ102, コラムアドレスバッファ103, コラムデコーダ104, データI/O バッファ105, 書き込み回路106, センスアンプ107, 負電圧発生回路108, および、ソース電源回路109は、図2の関連技術の半導体記憶装置におけるロウアドレスバッファ111, ロウデコーダ112, コラムアドレスバッファ113, コラムデコーダ114, データI/O バッファ115, 書き込み回路116, センスアンプ117, 負電圧発生回路118, および、ソース電源回路119に対応するものである。

【0022】本実施例における動作を説明すると、まず、読み出し時および書き込み時においては、一致回路120に格納された不良アドレスと入力されるアドレスが一致した場合、該一致回路120からの出力信号はロウアドレスバッファ101および冗長ロウデコーダ130に入力され、ロウデコーダ102を非選択状態にすると共に、冗長ロウデコーダ130を選択状態にする。これにより、欠陥セルをアクセスする代わりに冗長セルをアクセスすることができる。消去時においては、消去制御信号Eが高レベル“H”となり、コラムアドレスバッファ103, ロウアドレスバッファ101, ロウデコーダ102, 一致回路120, および、冗長ロウデコーダ130に入力される。

【0023】まず、セルアレイ中に欠陥セルトランジスタ（欠陥セル）が存在しないとき（冗長していないとき）は、上述したのと全く同様の動作をする。すなわち、一致回路120からの冗長制御信号REDは、いずれの回路をも冗長動作させないような論理となっている。次に、或るリード線に欠陥セルが存在し、一致回路120にその欠陥セルのアドレスが格納されている場合を考える。本実施例では、全体のワード線数を2ⁿ本とし、消去ブロックの大きさは2^m本のワード線で構成され、また、2^m本のスベアワード線を備えた構成を例にしている。書き込み時および読み出し時を考えると、一致回路120中の不良アドレス格納用メモリ素子のビットの必要数はn-m個となり、また、消去ブロック中のワード線の数は2^m本なので消去ブロックを選択するためにはn-m個のアドレスのビット数が必要となる。消去時には、或る2^m本で構成されるワード線ブロックを選択するためn-m個のワード線ブロック選択アドレス

13
 が入力されることになる。この入力アドレスは、一致回路120に格納された $n-k$ 個のアドレスビットのうち $n-m$ 個の上位からのアドレスと比較され、もし、この入力アドレスと格納されている $n-m$ 個のアドレスが一致したとすると、欠陥を含む2¹本のワード線ブロックがその消去ブロック中に存在することを示す。

【0024】上記した2¹本で構成されるワード線ブロック中、欠陥を含んだ2¹本で構成されるワード線ブロックを示すアドレス情報は、一致回路120に格納されたアドレス情報のうち $m-k$ 個で示される残りのビットで示されることになる。すなわち、本実施例の半導体記憶装置は、 $m-k$ 個のアドレスで指定される2¹本のワード線ブロック中の2¹本で構成されるワード線ブロックを、ロウデコーダ102により非選択すると共に、 $n-m$ 個のアドレスが一致した場合に、消去時には、冗長ロウデコーダ130を選択して2¹本で構成される消去ブロックの内の2¹本単位で構成したワード線ブロックの消去冗長を行うことができるようになっている。

【0025】図12は図1の半導体記憶装置におけるロウアドレスバッファ101の一例を示す回路図、図13はロウデコーダ102の一例の要部を示す回路図、そして、図14は一致回路120の一例を示す回路図である。図12に示されるように、全体で n 個のロウアドレスバッファ101の内、下位の m 個には消去制御信号Eが入力され、これにより、2¹本のワード線が消去時に全選択されることになる。ここで、上記 m 個のアドレスバッファの内のいずれか一つには冗長制御信号REDが入力され、これにより、書き込み時および読み出し時において、冗長制御信号REDが高レベル“H”のとき（不良アドレスと入力アドレスが一致したとき）ワード線WL30を非選択とするようになっている。

【0026】ここで、冗長制御信号REDは、図14に示す一致回路120の出力信号であり、この一致回路120は、2¹本のワード線ブロックを2¹本のワード線から選択するために必要なアドレス記憶用ヒューズと、冗長使用の信号を記憶するヒューズ（RUSE）を備えている。そして、消去時以外は、消去制御信号Eが低レベル“L”なので、全てのヒューズの情報と入力アドレスが一致しない冗長制御信号REDは高レベル“H”とはならないが、消去のときは、アドレス $A_{31}, \dots, A_{31}+1 \sim A_{31}+n-1$ （すなわち上位 $n-m$ 個のアドレス）が一致するだけで冗長制御信号REDが高レベル“H”となる。また、アドレス $A_{31}, \dots, A_{31}+1 \sim A_{31}+n-1$ （ $m-k$ 個のアドレス）のヒューズのデータは直接外部に出力され、図12に示すナンドゲートに入力される。これにより2¹本中のワード線のうち2¹本のワード線で構成されるブロックを非選択とすることができる。また、同時に、冗長制御信号REDは冗長用ロウデコーダに入力され、スベアワード線を選択するため2¹本のワード線で構成される消去ブロック中の2¹本で構成される任意のワード線ブ

ックを冗長することが可能となる。

【0027】ところで、フラッシュメモリにおいては、過剰消去による不良で歩留りを下げることがよくある。上述した半導体記憶装置の構成では、ビット線がスベアセルとリアルセルで共通となっているため、スベアセルで過剰消去セルを置き換えただけでは、冗長救済することはできない。具体的に、例えば、図11においてメモリセル（セルトランジスタ）MC₁₁が過剰消去セルとすると、該過剰消去セルMC₁₁を冗長セルMC₁₁で置き換えた場合、ワード線WL₁を低レベル“L”にしても過剰消去セルMC₁₁が電流を流すため、このビット線BL₁上に存在するセルのデータ（データ“0”）を正常に読み出すことはできないからである。しかしながら、この問題は、過剰消去セルを冗長する前に、このセルにデータ“0”を書き込み、すなわち、フローティングゲートへ電子を注入し、その後冗長を行えば容易に解決することができる。

【0028】過剰消去されたセルにおいては、フローティングゲートが正に帯電しているために、図10に示すセルの書き込み特性曲線において、A点の電流がさらに増すことになり、書き込みがおこなえないことになる。これを解決するには、書き込み時にゲートレベルを制御してA点付近のセルトランジスタの電流が書き込み回路106のロードカブを越えない状態を作るように制御する必要がある。これを実現するには、書き込み時にワード線WLを連続パルス状に動作させることで容易に行なうことができる。すなわち、ワード線WLを連続パルス的に動作させた場合、図10の書き込み特性曲線においては、ワード線WLが低レベル“L”から高レベル“H”へ、或いは、高レベル“H”から低レベル“L”への遷移中に、必ず曲線C（図10中の破線の特性曲線）を実現することができ、フローティングゲートの状態がいかなる場合においても書き込みが可能となる。

【0029】図15は図1の半導体記憶装置におけるロウデコーダ102の一例の要部を示す回路図であり、図5を参照して説明した関連技術の半導体記憶装置のロウデコーダ112における入力部Bに対応する回路構成を示す図である。ここで、図15のノアゲートの入力に供給される信号φWは、図16に示すパルス状の波形とされている。これにより、図5中のノードN₂の電位を帯電と書き込み電位との間で連続的に振幅させることができ、ワード線WLに連続パルスを与えることが可能となる。ここで、書き込み処理および消去処理は、ペリファイを行ないながら実行するのが一般的であり、また、これらのペリファイは、ペリファイ電圧をワード線に印加してデータを読み出すことによって実行するのが一般的である。また、ペリファイ電圧は、デバイスの周囲環境が変化（電源電圧等が変化）しても一定であることが望ましいが、そのためには、デバイスの基準電位（V_{ss}）を基準にして昇降により作成するのが有効である。尚、パ

15

ルスを与える以外にも、ワード線に対して中間電圧を生成する回路を用いてもよい。

【0030】図17は図1の半導体記憶装置におけるペリファイ電圧発生回路150の一例を示す回路図であり、図5に示すロウデコーダ回路112(102)中のノードN_iに印加するペリファイ電圧を発生するための回路である。図17に示されるように、ペリファイ電圧発生回路150は、クランプ回路151、発振回路152、および、昇圧回路153より構成されている。クランプ回路151において、トランジスタT₁₃、T₁₄はクランプ電圧を決定する回路でありPチャネル型およびNチャネル型のMOSトランジスタが直列にダイオード接続されている。ここで、CMOSプロセスにおいて、各チャネル領域の作成は同一工程で行なうため、各トランジスタにおけるしきい値のずれは相補的に打ち消され、その結果、安定したクランプ電圧が得られることになる。

【0031】トランジスタT₁₃は、しきい値が零ボルトのNチャネル型MOSトランジスタであり、発振回路152に対してクランプ電圧を供給するようになっている。また、昇圧回路153は、低電圧電圧(接地電圧)V_{ss}を基準に動作し、これにより、ペリファイ電圧(ノードN_iの電位)は、電源電圧に左右されずに安定した値とすることができる。さらに、消去ペリファイおよび書き込みペリファイは、その電位値が異なるが、これは、クランプ回路151のトランジスタの段数(T₁₃、T₁₄；……)を変えれば容易に所定の電位のクランプ電圧を発生することができる。ここで、参照符号V₁は、ペリファイ時に高レベル“H”となる信号である。尚、各ペリファイは、センスアンプの判定電流を変化させることも実現することができる。

【0032】図18は図1の半導体記憶装置におけるセンスアンプ107の一例を示す回路図である。図18に示されるように、センスアンプ107は、ロード用トランジスタとしてPチャネル型トランジスタT₁₁、T₁₂を備えている。ここで、各トランジスタの電流供給能力は、T₁₁>T₁₂の関係にある。また、フラッシュメモリの読み出しモードには、消去ペリファイ、通常読み出し、および書き込みペリファイの3つのモードがある。そして、これら3つのモードにおけるロードトランジスタ(トータル)の大きさは、消去ペリファイ>通常リード>書き込みペリファイの関係が必要となる。尚、図18の回路における上記の関係は、消去ペリファイ時：V₁₁=V₁₂=“L”、通常リード時：V₁₁=“L”、V₁₂=“H”、書き込みペリファイ時：V₁₁=“H”、V₁₂=“L”として実現できる。

【0033】図19は図18のセンスアンプに供給する制御信号V₁₁、V₁₂を作成する論理回路の一例を示す回路図である。図19において、参照符号Wは書き込みペリファイ信号、Eは消去ペリファイ信号を示している。本構成を採用した場合には、ペリファイ電圧の発生

16

に必要なロウデコーダの電源回路を簡略化することができるといふ利点がある。このように、本構成によれば、ロードコントロール用の論理回路を追加することにより、フラッシュメモリにおける消去ペリファイに適用することが可能となる。

【0034】次に、図20～図28を参照して本発明に係る半導体記憶装置の第2の形態を説明する。図20は本発明に係る半導体記憶装置の第2の形態に対応する従来の半導体記憶装置における冗長回路210の一例を示すブロック回路図である。図20において、参照符号211はヒューズを示し、不良アドレスを記憶させるための素子(欠陥アドレス指定手段)であり、切断しているかどうかでアドレスの高レベル“H”または低レベル“L”を記憶させるようになっている。また、参照符号214はアドレス比較回路を示し、ヒューズ211の情報と外部入力アドレスが一致しているかどうかを比較判断するものであり、一致すると、例えば、アドレス一致信号を高レベル“H”とするようになっている。

【0035】図21は図20に示す従来の冗長回路の構成例を示す図である。図21に示す冗長回路210の構成例においては、図20に示す冗長回路210を複数個設け、それらの出力をナンドゲートおよびインバータを介して出力することにより冗長信号を作成するようになっている。そして、各入力アドレスが全ての冗長回路210におけるヒューズ(211)の情報と一致する場合にだけ、冗長信号を高レベル“H”とし冗長セルのデータを読み出すようになっている。

【0036】図22は図21に示す従来の冗長回路210を使用した半導体記憶装置の一例を示すブロック図である。図22に示す半導体記憶装置全体の構成図において、冗長回路210から冗長信号が出ると、リアルセル選択回路217によりリアルセル218の読み出しが禁止され、代わりに冗長セル選択回路215により冗長セル216の読み出しが行われる。これにより、欠陥のあるリアルセル部分を冗長セルで置き換えるようになっている。ここで、図22において、参照符号219は、冗長セル216またはリアルセル218の選択されたセルトランジスタ(メモリセル)のデータを読み出すデータ読み出し回路を示している。

【0037】上述した従来の方法では、ヒューズ1つに対してアドレス比較回路が1つ必要になるため、多数の欠陥部分を置き換えるには、その置き換え数だけのヒューズおよびアドレス比較回路が必要となる。その結果、従来の冗長回路では、チップ面積の増大を引き起こすと共に、コストアップにもなっている。このように、半導体記憶装置における従来の冗長方式では、回路数の増加から、置き換え数が増加した場合にチップ面積が増加し、また、コストアップにも繋がるという解決すべき課題がある。

【0038】図23は本発明に係る半導体記憶装置の第

17

2の形態における冗長回路の実施例を示すブロック回路図である。同図から明らかなように、本実施例の冗長回路200においては、図20の冗長回路210におけるヒューズ211として、トランジスタT₁およびヒューズ201Aと、トランジスタT₂およびヒューズ201Bとを設け、外部入力アドレスA_n（/A_n:アドレスA_nの反転信号）の論理によりヒューズ201A、201Bが選択されるようになっている。ここで、アドレスA_n（/A_n）は、複数のブロックに分割されたリアルセルを選択するブロック選択アドレスを示す上位アドレスを示している。このように、本実施例の冗長回路200によれば、1つのアドレス比較回路214を2つのヒューズ201A、201Bで共用することによって、全体としてのアドレス比較回路214の数を削減し、チップ面積の増大およびコストアップを抑えるようになっている。

【0039】図24は図23に示す本発明の冗長回路が適用される半導体記憶装置におけるリアルセル208および冗長セル206の構成を示す図である。同図に示されるように、リアルセル208は、例えば、ブロック選択アドレスA_nが低レベル“L”で選択される第1のリアルセルブロック208A、および、ブロック選択アドレスA_nが高レベル“H”（/A_nが低レベル“L”）で選択される第2のリアルセルブロック208Bにより構成されている。また、冗長セル206も、例えば、第1のリアルセルブロック208Aを冗長するための第1の冗長セルブロック206A、および、第2のリアルセルブロック208Bを冗長するための第2の冗長セルブロック206Bにより構成されている。これにより、分割されたリアルセルのブロック206A、206Bに共通なアドレス（例えば、A_{n-1}, A_{n-2}, …）が欠陥セルを含んでいる場合には、ブロックアドレスA_nの論理により指定されたブロックにおいて、欠陥を含むリアルセルの所定範囲を冗長セルに置き換えるようになっている。

【0040】図25は図23に示す本発明の冗長回路を使用した半導体記憶装置の一例を示すブロック図である。同図に示す半導体記憶装置全体の構成図において、冗長回路200から冗長信号が出力し、リアルセル選択回路207によりリアルセル208の読み出しが禁止され、代わりに冗長セル選択回路205により冗長セル206の読み出しが行われる。ここで、図22および図24の半導体記憶装置のブロック図の比較から明らかなように、本実施例の半導体記憶装置においては、アドレス入力（ブロック選択アドレスA_n）が冗長セル選択回路205にも供給され、冗長回路200におけるアドレスA_nの論理により選択されるヒューズ201A、201Bに対応した冗長セル206A、206Bを選択するようになっている。すなわち、冗長セル選択回路205には、ブロックアドレスA_nが入力され、該ブロックアドレスA_nにより選択されるリアルセルブロック208A、208Bに対応した冗長セル206A、206Bを選択して冗長処理を行うようになっている。尚、図24

18

において、参照符号209は、冗長セル206またはリアルセル208の選択されたセル（メモリセル）のデータを読み出すデータ読み出し回路を示している。

【0041】以上により、複数の冗長セル206A、208に対してアドレス比較回路204を共通に使用して、図22に示す従来の半導体記憶装置と同様に、欠陥のあるリアルセル部分を冗長セルで置き換えることができる。ここで、以上の説明では、1ビットのブロック選択アドレスA_nが2分割されたリアルセルの一方を選択するように構成されているが、例えば、2ビットのブロック選択アドレスA_n, A_{n-1}により4分割されたリアルセルの一つを選択すると共に、4分割された冗長セルの一つを選択するように構成してもよい。

【0042】図26は本発明に係る半導体記憶装置の第2の形態における冗長回路の他の実施例200'を示すブロック回路図である。同図において、参照符号220はセル選択回路、221、223は冗長情報記憶用セルアレイ、222、224は読み出し回路を示している。図26に示されるように、本実施例の冗長回路200'は、2組みの冗長情報記憶用セルアレイ221、223および読み出し回路222、224を備えている。

【0043】冗長情報記憶用セルアレイ221、223は、例えば、EPROM等の複数の不揮発性メモリセルトランジスタで構成され、外部からの入力アドレスにおいて欠陥のあるアドレスにデータを書き込むために使用されている。セル選択回路220は、冗長情報記憶用セルアレイ221、223をアドレス入力により選択するようになっている。読み出し回路222、224の出力は、アンドゲート225A、225B、225C、225Dおよびインバータ226A、226Bを介して、4つの冗長信号として出力されるようになっている。ここで、本実施例では、2つの冗長情報記憶用セルアレイ221、223から2ビット並列にデータを読み出すようになっており、4個所の欠陥部分に対して冗長セルへの置き換えを行えるようになっているが、3ビット以上のデータを並列に読み出すように構成することができるのはいうまでもない。

【0044】図27は本発明に係る半導体記憶装置の第2の形態における冗長回路のさらに他の実施例200''を示すブロック回路図であり、図28は図27に示す本発明の冗長回路を使用した半導体記憶装置の一例を示すブロック図である。図26に示す冗長回路200'では、複数ビット（2ビット）を並列に読み出す方式を示したが、単一ビットのみを読み出し、リアルセル208における複数の欠陥部分を冗長セル206で置き換えることである。

【0045】図27に示す冗長回路200''では、アドレス入力により単一ビットを読み出し、その論理により冗長信号を出力するようになっている。そして、図28は、図27に示す冗長回路200''を使用した半導体記憶装置の構成を示す。ここで、冗長セル選択回路205'およびリアルセル選択回路207'には、冗長回路200''から冗長信号が

19

供給されると共に、アドレス入力の一部（リアルセルのブロック選択アドレスAn）が供給されている。これにより、複数の冗長セルの内、どの冗長セルを使用してリアルセルの冗長を行うかが決定される。

【0046】次に、図29〜図32を参照して本発明に係る半導体記憶装置の第3の形態を説明する。ところで、近年、電氣的に情報の書き込み／消去が可能な不揮発性半導体記憶装置、特に、フラッシュメモリと呼ばれるものにおいて、書き込み若しくは消去を内部アルゴリズムによって自動的に行なうモードを有するものが提案されている。

【0047】このような、フラッシュメモリにおいて、書き込み（或いは、消去）は、まず、書き込みパルスを印加してから読み出し処理（ペリファイ）を行ない、この読み出し処理で十分な書き込み深さに達していなければ、再度書き込みパルスを印加するというを繰り返して行なう方法が適用されている。そして、上記書き込みパルスの最大印加回数（ペリファイの回数）を仕様上規定しており、この制御は全て外部から制御されるようになっている。

【0048】また、最近のフラッシュメモリでは、このアルゴリズムを内部にもたせて自動的に書き込み若しくは消去を行なわせるものが提案されている。この自動的に書き込みや消去を行う方法ではユーザに対して、その最大書き込み（消去）時間を提示するようになっている。しかし、例えば、半導体記憶装置（フラッシュメモリ）出荷試験において、最大時間だけでは、書き換え回数の増大による書き換え回数の劣化に対する保証ができず、出荷試験を通過した半導体記憶装置がユーザ側で不良になってしまう可能性がある。

【0049】そこで、本発明に係る半導体記憶装置の第3の形態は、ユーザ側での最大回数とは別に、製造側での試験（例えば、出荷試験）時には、劣化による書き換え時間の増大を見込んだ最大回数で試験することによって、ユーザ側での最大回数を保証することを目的とする。図29は本発明に係る半導体記憶装置の第3の形態における基礎となる内部書き込みアルゴリズムの一例を示すフローチャートである。

【0050】まず、書き込み処理が開始されると、ステップS301において、書き込みパルスが印加され、さらに、ステップS302に進んで、ペリファイを行う。すなわち、ステップS302において、読み出しが行われて、十分な書き込み深さに達しているかどうかで判別される。このステップS302において、十分な書き込み深さに達していると判別されると、書き込み処理は終了し、また、十分な書き込み深さに達していないと判別されると、ステップS303に進んで、パルス回数がNに達したかどうかで判別される。すなわち、ステップS303において、ペリファイの回数が予め定められたNに達したかどうかで判別され、Nに達していなければ、ステップ30

20

1 およびステップS302の処理を繰り返す。また、Nに達していれば、書き込み失敗となる。すなわち、書き込みパルスをN回印加してもセルトランジスタに対する十分な書き込み処理が行えないことになる。

【0051】本発明の第3の形態においては、例えば、書き込みパルスの最大パルス印加回数を通常のNよりも少ない数のnにより出荷試験を行い、通常よりも厳しい条件により出荷試験を行うようになる。このように、本発明の第3の形態によれば、劣化による書き換え時間の増大を見込んだ最大回数n（ $n < N$ ）により出荷試験を行うことによって、ユーザ側での最大回数Nを保証することができる。

【0052】図30は本発明の半導体記憶装置の第3の形態の一実施例を示すブロック図である。同図において、参照符号311は書き込み制御回路、312は書き込みパルス発生回路、313はセルアレイ、314はパルスカウンタ、315はスイッチ部、316は停止信号発生回路、そして、317は高電圧検出回路を示している。書き込み制御回路311は、外部制御信号および書き込み停止信号を受け取り、書き込みパルス発生回路312を制御してセルアレイ313の各セルトランジスタへの書き込み処理を行うようになっている。書き込みパルス発生回路312の出力（書き込みパルス）は、セルアレイ313に供給されると共に、パルスカウンタ314に供給され、印加された書き込みパルスの回数（ペリファイの回数）をカウントするようになっている。尚、パルスカウンタ314は、容易にカウント数を加えられるように、ナンド回路の入力に対して直接入力する配線と、インバータの出力の配線を予め作り込んでおき、製造工程においてナンド回路とそれらの配線を選択的に接続してもよい。

【0053】スイッチ部315は、通常の最大パルス印加回数N、例えば、出荷試験時の最大パルス印加回数n（ $n > N$ ）とを切り替えるようになっており、また、停止信号発生回路316は、上記選択された最大パルス印加回数Nまたはnに応じて書き込み停止信号WSを書き込み制御回路311に供給する。ここで、スイッチ部315の切り替え動作は、高電圧検出回路317から外部高電圧が印加されているかどうかを検出して出力されるスイッチ制御信号SCに応じて行われる。

【0054】図31は図30の半導体記憶装置における要部の回路例を示す図であり、図32は図31の回路の動作を説明するためのタイミング図である。ここで、図31および図32において、参照符号QC01はパルスカウンタの各段数出力をわわっている。図31および図32に示されるように、通常の最大パルス印加回数Nに対応するストップ信号WS(N)は、パルスカウンタ出力QC02、QC03、QC04から作成され、また、例えば、出荷試験時の最大パルス印加回数nに対応するストップ信号WS(n)は、パルスカウンタ出力QC03、QC01、QC02から作成されるようになっている。ここで、高電圧検出回路(EVCMG

21

N)317 の出力 (スイッチ制御信号) SC が低レベル “L” のとき、高電圧が印加されていないとき、通常の最大パルス印加回数 n に対応するストップ信号 WS (N) がパルス信号 QC00 の 2 回目のタイミングで出力される。逆に、高電圧検出回路 317 の出力 SC が高レベル “H” のとき、すなわち、所定の端子に対して高電圧が印加されているとき、例えば、出荷試験時の最大パルス印加回数 n に対応するストップ信号 WS (n) がパルス信号 QC00 の 4 回目のタイミングで出力される。

【0055】以上の説明では、例えば、ストップ信号 WS が出力されるまでの書き込みパルスの印加回数を通常時 (ユーザ使用時) と、出荷試験時とで変化させるように構成したが、書き込みパルスの印加回数の代わりに、書き込みパルスのパルス幅を変化させるように構成してもよい。すなわち、例えば、出荷試験時には、書き込みパルスのパルス幅を通常より厳しい条件となるように短くするように構成してもよい。尚、この場合にも、例えば、出荷試験時における書き込みパルスのパルス幅の短縮は、所定の端子に対する高電圧の印加を検出して行うようにしてもよい。さらに、以上の説明は、書き込み処理について説明したが、消去処理についても同様である。

【0056】このように、本発明の半導体記憶装置の第 3 の形態によれば、内部アルゴリズムにおけるメモリセルに対する情報の書き込み若しくは消去の許容値を可変にすることによって、例えば、出荷試験を通過した半導体記憶装置がユーザ側で不良になることを防止することができる。次に、図 3 ～ 図 6 を参照して本発明に係る半導体記憶装置の第 4 の形態を説明する。

【0057】図 3 は本発明に係る半導体記憶装置の第 4 の形態におけるメモリセル (MC) を示し、電気的一括消去型不揮発性半導体記憶装置 (フラッシュメモリ) におけるセルトランジスタ (メモリセル MC) の動作を説明するための図である。同図に示されるように、セルトランジスタは、ソースドレイン間にどの領域とも絶縁されたフローティングゲート FG が設けられ、該フローティングゲート FG の上にコントロールゲート CG を形成して構成されている。

【0058】まず、読み出し時には、ゲート電圧 V_g を電源電圧 V_{cc} とし、ドレイン電圧 V_d をほぼ 1 ボルト程度とし、そして、ソース電圧 V_s をグランドレベル V_{ss} として、ドレイン電流が流れるか否かでセルトランジスタに書き込まれているデータが “1” か “0” を判別する。また、書き込み時には、ドレイン領域 DD に印加するドレイン電圧 V_d を高電圧 (通常、 $V_{cc} < \text{高電圧} < V_{pp}$) とし、コントロールゲート CG に印加するゲート電圧 V_g を書き込み用電圧 V_{pp} (～10 ボルト程度) とし、ソース領域 SS に印加するソース電圧 V_s をグランドレベル V_{ss} として、ドレイン端子 (DD) からフローティングゲート (FG) に電子を注入してデータ “0” を書き込

22

む。ここで、近年の書き込み用電圧の低電圧化に伴って、書き込み用電圧を効率よくドレイン端子に印加する必要性が強くなっている。

【0059】図 3 は本発明の半導体記憶装置の第 4 の形態に対応する関連技術としての半導体記憶装置 (フラッシュメモリ) の一例を示すブロック回路図である。同図において、参照符号 411 はロウアドレスバッファ、412 はロウデコーダ、413 はコラムアドレスバッファ、414 はコラムデコーダ、415 はバッファ回路、416 は書き込み電圧供給用トランジスタ、417 はセンスアンプ、そして、418 はバス線を示している。また、参照符号 BL はビット線、WL はワード線を示し、また、 \overline{WD} は書き込みデータ (反転レベル)、W は書き込み制御信号を示している。

【0060】図 3 4 に示す半導体記憶装置において、読み出し時には、ロウアドレスおよびコラムアドレスによりワード線 WL およびビット線 BL がそれぞれ一本ずつ選択され、センスアンプ 417 によりその選択されたメモリセル MC₀ (セルトランジスタ) が電流を流すか否かにより、該選択されたセルトランジスタに書き込まれている内容がデータ “1” 或いはデータ “0” を判別して出力する。

【0061】データ書き込み時には、書き込み制御信号 W により、各ワード線およびビット線の選択信号が書き込み用電圧 V_{pp} とされる。このとき、書き込みデータ \overline{WD} が入力されるとトランジスタ 416 がオンして、バス線 418 (セルトランジスタ MC₀ のドレイン端子) に対して書き込み用電圧 V_{pp} (トランジスタ 416 の閾値電圧分だけ低い電圧) が印加される。ここで、図 3 4 に示すフラッシュメモリ (半導体記憶装置) においては、例えば、書き込み用電圧 V_{pp} として十分に高い電圧を使用することが可能だったで、書き込み電圧供給用トランジスタ 416 は、N チャネル型 MOS トランジスタで構成することができた。すなわち、書き込み電圧供給用トランジスタ 416 として N チャネル型 MOS トランジスタを使用すると、書き込み用電圧 V_{pp} は、該 N チャネル型 MOS トランジスタの閾値電圧分だけ低くなってセルトランジスタ MC₀ のドレインに印加されることになる。

【0062】ところで、近年、フラッシュメモリを使用する場合にも、例えば、5 ボルト単一電源化の要求に応じて、書き込み用電圧を低電圧化することが必要が生じている。このように、例えば、5 ボルト単一電源によりフラッシュメモリを駆動する場合には、書き込み電圧供給用トランジスタ 416 の閾値電圧により供給電圧が書き込み用電圧 V_{pp} よりも低下して効率のよい書き込み用電圧のドレイン端子への供給が難しくなる。

【0063】本発明に係る半導体記憶装置の第 4 の形態は、書き込み電圧供給用トランジスタでの閾値電圧による書き込みドレイン電圧の低下を防止することによって、書き込み用電圧の低電圧化においても良好なデータの書き込みを実現することを目的とする。図 3 5 は本発

明の半導体記憶装置の第4の形態の一実施例を示すブロック回路図である。図34に示す関連技術としての半導体記憶装置との比較から明らかなように、本実施例の半導体記憶装置においては、書き込み電圧供給用トランジスタをPチャネル型MOSトランジスタ406で構成し、バッファ回路405に供給する書き込みデータを正論理の信号WDとしている。ここで、図35に示す本実施例のロウアドレスバッファ401、ロウデコーダ402、コラムアドレスバッファ403、コラムデコーダ404、および、バッファ回路405は、図34に示す関連技術のロウアドレスバッファ411、ロウデコーダ412、コラムアドレスバッファ413、コラムデコーダ414、および、バッファ回路415に対応している。尚、参照符号BLはビット線、WLはワード線、そして、Wは書き込み制御信号を示している。

【0064】図35に示す半導体記憶装置において、読み出し時には、ロウアドレスおよびコラムアドレスによりワード線WLおよびビット線BLがそれぞれ一本ずつ選択され、センスアンプ407によりその選択されたメモリセルMC₀(セルトランジスタ)が電流を流すか否かにより、該選択されたセルトランジスタに書き込まれている内容がデータ“1”或いはデータ“0”かを判別して出力する。

【0065】データ書き込み時には、書き込み制御信号Wにより、各ワード線およびビット線の選択信号が書き込み用電圧Vppとされる。このとき、書き込みデータWLは、バッファ回路405により書き込み用電圧Vppのレベルの信号に変換される。そして、書き込み電圧供給用トランジスタ406のゲート信号が低レベル“L”になると、該トランジスタ406がオンして書き込み用電圧Vppがバス線408に供給される。ここで、図35に示す本実施例のフラッシュメモリ(半導体記憶装置)においては、書き込み電圧供給用トランジスタ406がPチャネル型MOSトランジスタで構成されているので、該トランジスタ406のソースに印加される書き込み用電圧Vppは、該トランジスタ406の閾値電圧下げた電圧降下されことなく、バス線408の電位を書き込み用電圧Vpp付近まで上昇させることができ、セルトランジスタMC₀のドレイン端子に対して効率的に書き込み用電圧Vppを印加させることができる。従って、例えば、フラッシュメモリを5ボルト単一電源で使用する場合にも、低電圧化された書き込み用電圧Vppを使用して有効にデータの書き込み処理を行うことが可能となる。

【0066】図36は本発明の半導体記憶装置の第4の形態の他の実施例の要部を示す回路図であり、図34に示す関連技術の半導体記憶装置における書き込み電圧供給用トランジスタおよびバッファ回路に対応する部分を示す回路図である。図36に示されるように、本実施例においては、書き込み電圧供給用トランジスタ426を、図34に示す関連技術の半導体記憶装置と同様に、Nチャネル型MOSトランジスタで構成している。しかし、

図34に示す関連技術の半導体記憶装置におけるバッファ回路417を、Nチャネル型MOSトランジスタ4251, 4252, 4253、インバータ4255, 4256, 4257、および、容量4253によるブートストラップ回路で構成するようになっている。ここで、図36に示すブートストラップ回路は、書き込みデータWDが高レベル“H”から低レベル“L”へ変化すると、トランジスタ4251のゲートは高レベル“H”となり、その後、トランジスタ4252のゲートは低レベル“L”となることによりノードN₀の電位が上昇する。このとき、容量4253によりトランジスタ4251のゲートはさらに昇圧され、最終的には、約Vpp+Vccのレベルまで上昇することになる。この電位を書き込み電圧供給用トランジスタ426のゲートに印加すれば、バス線(418)の電位はほぼ書き込み用電圧Vppまで上昇することになる。

【0067】これにより、Nチャネル型MOSトランジスタで構成した書き込み電圧供給用トランジスタ426のゲートに対して、書き込み用電圧Vpp以上に昇圧されたデータ信号を印加し、バス線に対して書き込み用電圧Vppと同等の電圧を供給して低電圧化された書き込み用電圧Vppを使用して有効にデータの書き込み処理を行うことが可能となる。

【0068】上述したように、本発明の半導体記憶装置の第4の形態によれば、書き込み電圧供給用トランジスタでの閾値電圧による書き込みドレイン電位の低下を防止することによって、書き込み電位の低電圧化においても良好なデータの書き込みを実現することができる。

【0069】次に、図37～図45を参照して本発明に係る半導体記憶装置の第5の形態を説明する。図37は本発明に係る半導体記憶装置の第5の形態に対応する従来の半導体記憶装置(フラッシュメモリ)の一例を示すブロック回路図である。同図において、参照符号512はロウデコーダ、514はコラムデコーダ、517はセンスアンプ、そして、519はソース電源回路を示している。また、参照符号MCはNチャネル型MISトランジスタで構成されたメモリセルトランジスタ(メモリセル)、WLはワード線、BLはビット線、そして、SLはソース線を示している。ここで、ソース電源回路519は、ソース線SLを介してメモリセルアレイにおける各メモリセルトランジスタのソースに接続され、電気的に一括消去を行えるようになっている。また、メモリセルMCは図33に示すものと同様である。

【0070】図38は図37の半導体記憶装置におけるロウデコーダ512の構成を示す回路図、図39はコラムデコーダ514の構成を示す回路図、そして、図40はコラムデコーダ514におけるビット線トランジスタファークゲート5145の構成を示す回路図である。図38に示されるように、ロウデコーダ512は、電源回路5121、ロウアドレスが供給されるゲートRG₁、～RG_n、該ゲートRG₁～RG_nと電源回路5121との間に設けられたトランジスタ

25

5122, および、電源回路5121と低電位電源 V_{ss} (グラウンドレベルGND: 0ボルト) との間に設けられワード線WLのレベルを制御するインバータ (トランジスタ5123, 5124) を備えている。これにより、例えば、入力されるロウアドレスが全て高レベル“1”となってゲートRG₁ ~ RG_n がオンするアドレスに対応したワード線 (選択ワード線) WLには、トランジスタ5123を介して電源回路5121の出力 (V_{cc}) を印加し、他の非選択ワード線WLには、トランジスタ5124を介して低電位電圧 (V_{ss} : 0ボルト) を印加するようになっている。

【0071】図39に示されるように、コラムデコーダ514は、電源回路5141、コラムアドレスが供給されるゲートCG₁ ~ CG_m、該ゲートCG₁ ~ CG_mと電源回路5141との間に設けられたトランジスタ5142、ビット線トランスファークゲート5145, および、電源回路5121と低電位電源 V_{ss} との間に設けられビット線トランスファークゲート5145を制御するインバータ (トランジスタ5143, 5144) を備えている。これにより、例えば、入力されるコラムアドレスが全て高レベル“H”となってゲートCG₁ ~ CG_m がオンするアドレスに対応したビット線 (選択ビット線) BLとセンスアンプ517に接続するようになっている。

【0072】ここで、図40に示されるように、複数のビット線トランスファークゲート5145₁ ~ 5145_m がバス (BUS) を介して1つのセンスアンプ517に接続され、ビット線トランスファークゲート5145₁ ~ 5145_m における選択された1つのビット線 (選択ビット線) だけがセンスアンプ517に接続されるようになっている。そして、上述した選択ワード線と選択ビット線との交点一するメモリセルMCの内容がセンスアンプ517を介して出力されるようになっている。

【0073】ところで、フラッシュメモリは、電気的に全ビットの一括消去が可能であり、一括消去を行う際には回路技術上の簡便さから一般的に全てのセルトランジスタ (メモリセルMC) に対して同時に同様の消去動作を行う。そして、この消去動作は、全てのセルトランジスタが消去されるまで繰り返される。しかしながら、セルアレイ中には統計的な理由により、比較的消去が容易なセルトランジスタおよび比較的消去が困難なセルトランジスタが存在している。そのため、上述したような方法で全ビットの一括消去を行うと、消去が容易なセルトランジスタと消去が困難なセルトランジスタの特性的な差が非常に大きい場合、消去が容易なセルトランジスタに対する消去動作が必要以上になされてしまう。ここで、セルトランジスタの特性的な差は、ウェーブプロセス的なゆらぎや、長時間にわたる書き込み/消去の繰り返しによるストレス等により、比較的に出現し得る。

【0074】また、フラッシュメモリのセルトランジスタに対する書き込みおよび消去動作は、通常、セルトラン

26

ジスタのフローティングゲートに対する電荷の注入および放出により行われる。そのため、上述したような必要以上に消去動作のなされたメモリセルMCは、見掛け上、書き込まれた際とは逆の極性の電荷がフローティングゲートに注入される (フローティングゲートが正に帯電する) ことになる。このような状態を過剰消去 (オーバーイレース) の状態と呼ぶ。

【0075】さて、不揮発性半導体記憶装置 (フラッシュメモリ) の場合、一般的に、セルアレイはNOR型と呼ばれる構成を取っている。このNOR型の不揮発性半導体記憶装置において、セルトランジスタ (Nチャネル型MISトランジスタ) のドレインは、ビット線毎に共通接続され、一様にバイアスを与えた状態で、選択するセルトランジスタのゲートにだけバイアス (正の電圧) を与え、且つ、非選択のセルトランジスタのゲートにはバイアスを与えない (0ボルト) ことより、所定のセルトランジスタ (メモリセル) を選択するようになっている。尚、全てのセルトランジスタのソースはソース電源回路519を介して接地されている。ここで、セルトランジスタは、エンハンスメント型のMISトランジスタ (Nチャネル型MISトランジスタ) を用いるため、非選択のセルトランジスタは電流を流さず、選択されたセルトランジスタのみがフローティングゲート上の電荷の量に応じて電流を流したり或いは流さなかったりする。この選択されたセルトランジスタを流れる電流に応じてデータ“0”およびデータ“1”が割り当てられるようになっている。

【0076】フラッシュメモリにおいては、エンハンスメント型のセルトランジスタに対して上述した過剰消去が生じると、セルトランジスタは見掛け上デプリション型に特性が変じてしまう。そして、NOR型のセルアレイを用いた場合、非選択のセルトランジスタはゲートにバイアスを与えない状態では電流を流さないようにしているが、過剰消去が生じたセルトランジスタは見掛け上デプリション型の特性を示すため、非選択のセルトランジスタであっても電流を流してしまう。このため、例えば、選択されたセルトランジスタが電流を流さない状態であっても、過剰消去の非選択のセルトランジスタが電流を流すため、データ“0”とデータ“1”とが誤って判定される場合が生じるという問題がある。

【0077】本発明に係る半導体記憶装置の第5の形態は、過剰消去を起こしたセルトランジスタが存在してもデータを正確に読み出すことを目的とする。図41は本発明に係る半導体記憶装置 (フラッシュメモリ) の第5の形態の実施例を示すブロック回路図である。同図において、参照符号502はロウデコーダ、504はコラムデコーダ、507はセンスアンプ、そして、509はソース電源回路を示している。ここで、本実施例の半導体記憶装置は、基本的には、図37を参照して説明した半導体記憶装置と同様であり、その説明は省略するが、ロウデコーダ50

27

2 の構成が異なる。

【0078】図4は図41の半導体記憶装置におけるロウデコード502の構成を示す回路図である。同図に示されるように、本実施例のロウデコード502は、所定の正電圧を発生する正電源回路5021、ロウアドレスが供給されるゲートRG₁〜RG_n、該ゲートRG₁〜RG_nと正電源回路5021との間に設けられたトランジスタ5022、負電源回路5025、および、正電源回路5021と負電源回路5025との間に設けられワード線WLのレベルを制御するインバータ（トランジスタ5023, 5024）を備えている。これにより、例えば、入力されるロウアドレスが全て高レベル“H”となってゲートRG₁〜RG_nがオンするアドレスに対応したワード線（選択ワード線）WLには、トランジスタ5123を介して正電源回路5021の出力（V_{cc}）を印加し、他の非選択ワード線WLには、トランジスタ5024を介して負電源回路5025の出力（電圧の負）を印加するようになっている。尚、負電源回路5025の具体的な回路としては、図5に示す開導技術としての半導体記憶装置における負電圧発生回路118を適用して構成することができるとは思う。

【0079】ここで、負電源回路5025の出力は、過剰消去を起こしてデブリション型となっているセルトランジスタMCのゲートに印加された場合に、該過剰消去のセルトランジスタMCを非選択状態にして電流を流さないようにする電圧となっている。すなわち、負電源回路5025の出力は、デブリション型のNチャネル型MISトランジスタ（過剰消去のセルトランジスタ）におけるゲート電圧が、閾値電圧以下となるような負の電圧となっている。これにより、例えば、選択されたビット線に過剰消去のセルトランジスタが存在していても、ワード線により選択されたセルトランジスタに書き込まれた内容がセンスアンプ507を介して正確に出力されることになる。

【0080】図43は本発明に係る半導体記憶装置の第5の形態の他の実施例を示すブロック回路図である。同図において、参照符号521は、図41におけるロウデコード502に対応する第1のロウデコード、5222は図41におけるソース電源回路509の機能および非選択のワード線WLに対応するソース線SLに対して選択ビット線のレベル以上の電圧を印加するための第2のロウデコードを示している。ここで、コラムデコード524、センスアンプ527等の構成は、前述した図41に示すものと同様である。

【0081】本実施例の半導体記憶装置において、第1のロウデコード5221は、読み出し時の選択ワード線WLに対して通常の電圧V_{cc}を印加し、該選択ワード線WLに接続されたメモリセル（セルトランジスタ）MCを選択する。また、第2のロウデコード5222は、選択ワード線に接続されたセルトランジスタのソース（SWL）に対して低電位の電源電圧V_{ss}（0ボルト）を印加すると共に、読み出し時の非選択ワード線に接続された全ての

28

セルトランジスタのソースに対して、選択されたビット線のレベル（ドレイン電圧）以上の電圧を印加するようになっている。これにより、非選択状態とされている場合、一括消去により過剰消去状態になったセルトランジスタに対しても、ゲート電圧がソース電圧よりも低くなるためカットオフ（非選択状態）とさせることができる。ここで、読み出し時の非選択ワード線に接続されたメモリセルのソースに印加する電圧としては、選択されたビット線のレベルと同じ電圧に設定してもよい。すなわち、過剰消去により、例えば、チャネルが生成されていても、ドレインとソースとの間に電位差がなければ電流は流れないので、非選択の過剰消去のセルトランジスタが読み出し動作に影響を与えることはない。

【0082】図44は図43の半導体記憶装置における第1のロウデコード5221および第2のロウデコード5222の一例を示す回路図であり、図45は図44の第2のロウデコードの一部を示す回路図である。図44に示されるように、第1のロウデコード5221は、電源回路（V_{cc}）52211、ロウアドレスが供給されたナンドゲート52212、および、インバータ52213で構成され、また、第2のロウデコード5222は、電源回路（V_{cc}）52221、ロウアドレスが供給されたナンドゲート52222、インバータ52223、52224、および、電源回路52225で構成されている。ここで、電源回路52225は、読み出し時の非選択ワード線に接続されたセルトランジスタのソースに対して印加する選択されたビット線のレベル（ドレイン電圧）以上の電圧を供給するためのものであり、図45にその一例の回路を示す。

【0083】以上、説明したように、本発明の半導体記憶装置の第5の形態によれば、例えば、フラッシュメモリにおける一括消去により過剰消去のメモリセルが生じた場合であっても、正常にデータ“0”或いはデータ“1”を正確に読み出すことができ、ウエハプロセス上のやりやが、長時間に渡る書き込み/消去の繰り返し等に等しい過剰消去が存在してもデータを正確に読み出すことで歩留りの向上およびデバイスの信頼性の大幅な向上が期待できる。

【0084】次に、図46〜図49を参照して本発明に係る半導体記憶装置の第6の形態を説明する。まず、本第6の形態においても、前述した本発明の半導体記憶装置の第5の形態と同様に、フラッシュメモリにおける一括消去により過剰消去のメモリセルが生じた場合においても正確なデータを読み出すようにしたものである。すなわち、図37〜図40を参照して説明したように、フラッシュメモリは、電氣的に全ビットの一括消去が可能であり、一括消去を行う際には回路技術上の簡便さから一般的に全てのセルトランジスタ（メモリセルMC）に対して同時に同様の消去動作を行い、この消去動作全てのセルトランジスタが消去されるまで繰り返すようにしている。しかしながら、セルアレイ中には、比較的

29

消去が容易なセルトランジスタおよび比較的消去が困難なセルトランジスタが混在しているため、全ビットの一括消去を行うと、消去が容易なセルトランジスタに対する消去動作が必要以上になされて過剰消去となってしまう。そして、セルトランジスタの特性的な差は、ウェハープロセスのなまざりや長時間にわたる書き込み/消去の繰り返しによるストレス等により比較的容易に出現し得るため、過剰消去セルの出現も比較的頻繁に生じることになっている。ここで、フラッシュメモリのセルトランジスタに対する書き込みおよび消去動作は、図37～

図40を参照して説明した通りである。
【0085】また、フラッシュメモリの場合、一般的に、セルアレイはNOR型と呼ばれる構成を取っており、Nチャネル型MISトランジスタ（セルトランジスタ）のドレインは、ビット線毎に共通接続され、一様にバイアスを与えた状態で、選択するセルトランジスタのゲートにだけ正のバイアス電圧を与え、且つ、非選択のセルトランジスタのゲートにはバイアスを与えない（0ボルト）ことより、所定のセルトランジスタを選択するようにになっている。ここで、セルトランジスタは、エンハンスメント型のNチャネル型MISトランジスタを用いるため、非選択のセルトランジスタは電流を流さず、選択されたセルトランジスタのみがフローティングゲート中の電荷の量に応じて電流を流したり或いは流さなかったりする。この選択されたセルトランジスタを流れる電流に応じてデータ“0”およびデータ“1”が割り当てられるようになっている。

【0086】フラッシュメモリにおいては、エンハンスメント型のセルトランジスタに対して上述した過剰消去が生じると、セルトランジスタは見掛け上デプリション型に特性が変化してしまう。そして、NOR型のセルアレイを用いた場合、非選択のセルトランジスタはゲートにバイアスを与えない状態では電流を流さないようにしているが、過剰消去が生じたセルトランジスタは見掛け上デプリション型の特性を示すため、非選択のセルトランジスタであっても電流を流してしまう。このため、例えば、選択されたセルトランジスタが電流を流さない状態であっても、過剰消去の非選択のセルトランジスタが電流を流すため、データ“0”とデータ“1”とが誤って判定される場合が生じるという問題がある。

【0087】本発明に係る半導体記憶装置の第6の形態は、過剰消去を起こしたセルトランジスタが生じたら、該過剰消去セルを救済して、正確なデータを読み出すようにすることを目的とする。図46は本発明に係る半導体記憶装置の第6の形態の要部を示す回路図である。同図において、参照符号602はロウデコード、604はコラムデコード、そして、607はセンスアンプを示している。また、参照符号MCはNチャネル型MISトランジスタで構成されたメモリセル（メモリセル）、WL₁, WL₂はワード線、そして、BLはビット線を示して

30

いる。ここで、メモリセルMCは図33に示すものと同様である。

【0088】図47は図46における半導体記憶装置のセンスアンプ607の一例を示す回路図であり、Nチャネル型MOSトランジスタ607L₁, 607L₂, 607L₃, 607L₄, 607L₅, 607L₆およびPチャネル型MOSトランジスタ607P₁, 607P₂で構成されている。第6の形態において、例えば、一括消去により過剰消去を起こしたセルトランジスタ（過剰消去セル）を検出するには、一括消去処理が行われたメモリセルアレイに対して、まず、ロウデコード602により全てのワード線WL₁, WL₂, …を低レベル“L”とし、次に、コラムデコード604によりコラムゲートG601, G602, …を順次選択してビット線BL₁, BL₂, …を順次センスアンプ607に接続する。このとき、センスアンプ607の出力は、過剰消去セルが接続されているビット線が選択されたときに低レベル“L”となるため、センスアンプ607の出力が低レベル“L”となるビット線を選択し、その状態において、センスアンプ607のトランジスタ607Pをオンとして該センスアンプ607の駆動電流を増大して、過剰消去セルが電流を流さないようにする。さらに、ロウデコード602によりワード線WL₁, WL₂, …をスキャンして、センスアンプ607の出力が高レベル“H”となるセルトランジスタが過剰消去セルとして検出される。

【0089】図48は本発明に係る半導体記憶装置の第6の形態が適用されるシステムの一例を概略的に示すブロック図である。同図において、参照符号610はフラッシュメモリ、620は読み出し専用メモリ（ROM）、そして、630は中央処理装置（CPU）を示している。図48に示すシステムでは、後述する図49に示すアルゴリズムをROM620に格納しておき、CPU630が該アルゴリズムに従ってフラッシュメモリ610を制御するようになっている。すなわち、CPU630は、ROM620に格納されたアルゴリズムに従って、フラッシュメモリ610における過剰消去セルを救済するようにしている。

【0090】図49は本発明に係る半導体記憶装置の第6の形態における処理の一例を説明するためのフローチャートである。同図に示されるように、フラッシュメモリの消去処理が開始されると、ステップS611において、消去前書き込み処理を行う。この消去前書き込み処理は、フラッシュメモリのメモリセルアレイを一括消去する前に、メモリセルアレイの全てのセルトランジスタに対してデータ“0”の書き込み処理を行うものである。

【0091】次に、ステップS612において一括消去を行うと共に、ステップS613において消去ベリファイを行う。すなわち、メモリセルアレイの全てのセルトランジスタに対して、一括的に、少ずつフローティングゲートからの電子の放出を行わせるようにして、消去処理を実効する。さらに、ステップS614に進んで、過剰消

31

去セルが存在するかどうかの過剰消去チェックを行う。
ここで、ステップS614において、過剰消去セルが存在しないと判別されると（過剰消去チェックをパスすると）消去処理は終了し、また、過剰消去セルが存在すると判別されると（過剰消去チェックでフェイルになると）ステップS615に進む。尚、ステップS614における過剰消去チェックは、図46および図47を参照して説明したように、過剰消去となっているセルトランジスタを1つだけ検出することになる。

【0092】ステップS615において、ステップS614で検出された1つの過剰消去セル（過剰消去ビット）に対して書き込み処理を行い、ステップS616に進んで、ステップS614と同様の過剰消去チェックを行う。ここで、ステップS615における書き込み処理により、ステップS614で検出された1つの過剰消去セルの過剰消去状態がなくなり正常な消去の状態になったとすると、他に過剰消去セルがなければ、ステップS617に進んで、ステップS613と同様の消去ベリファイを行う。そして、ステップS617の消去ベリファイをパスすれば、消去処理は終了し、また、ステップS617の消去ベリファイでフェイルになると、ステップS618およびS619において、消去および消去ベリファイを行う。

【0093】一方、ステップS615における書き込み処理により、ステップS614で検出された1つの過剰消去セルの過剰消去状態がなくなり正常な消去の状態になったが、他にも過剰消去セルが存在すれば、ステップS616において、ステップS614で検出された過剰消去セルとは異なる他の1つの過剰消去セルが検出され、ステップS615に戻って書き込み処理が行われる。このようにして、メモリアルレイにおける全ての過剰消去セルに対して1つずつ書き込み処理が行われて、全ての過剰消去セルを正常な消去状態にする。

【0094】ここで、図49に示す消去処理は、前述したように、例えば、図48に示すシステムのROM620に格納しておき、それをCPU630が読み出して処理することもできるが、フラッシュメモリ自体に図49に示す消去処理を実現するような論理回路を内蔵してハード的に構成することも可能である。上述したように、本発明の半導体記憶装置の第6の形態によれば、過剰消去を起こしたセルトランジスタを救済して、正確なデータを読み出すようにすることができ、ウェアハープロセス上のゆらぎや、長時間に渡る書き込み/消去の繰り返しに等による過剰消去が存在してもデータを正確に読み出すことで歩留りの向上およびデバイスの信頼性の大幅な向上が期待できる。

【0095】次に、図50～図61を参照して本発明に係る半導体記憶装置の第7の形態を説明する。図50は本発明の半導体記憶装置の第7の形態に使用するメモリアルセル（MC）を示し、電気的一括消去型不揮発性半導体記憶装置（フラッシュメモリ）におけるセルトランジスタ

32

タ（メモリアルセルMC）の動作を説明するための図である。図回に示されるように、セルトランジスタは、ソースドレイン間にどの領域とも絶縁されたフローティングゲートFGが設けられ、該フローティングゲートFGの上にコントロールゲートCGを形成して構成されている。

【0096】書き込み時には、ドレイン領域DDに印加するドレイン電圧Vdを、例えば、6ボルトとし、コントロールゲートCGに印加するゲート電圧Vgを書き込み用電圧（消去用電圧）Vppとし、ソース領域SSに印加するソース電圧Vsを零ボルトとして、ドレイン端子（DD）からフローティングゲート（FG）に電子を注入してデータ“0”を書き込む。

【0097】消去時には、ゲート電圧Vgおよびドレイン電圧Vdをオープン（フローティング状態）とし、ソース電圧Vsを消去用電圧Vppとして、フローティングゲート（FG）からソース端子（SS）に電子を引き抜いて消去（データ“1”の書き込み）を行う。また、読出し時には、ゲート電圧Vgを電源電圧Vccとし、ドレイン電圧Vdを1ボルト程度とし、そして、ソース電圧Vsを零ボルトとして、ドレイン電流が流れるかどうかでセルトランジスタに書き込まれているデータが“1”か“0”かを判別する。

【0098】図51は本発明に係る半導体記憶装置の第7の形態に対応する関連技術の半導体記憶装置の一例を示すブロック回路図である。図回において、参照符号710はブロックアドレスバッファ、7101、7102はブロック選択ゲート、711はロウアドレスバッファ、712はロウデコーダ、713はコラムアドレスバッファ、714はコラムデコーダ、715はデータI/Oバッファ、716は書き込み回路、717はセンスアンプ、そして、7191、7192はソース電圧をえている。また、参照符号B1はビット線、WLはワード線、MCはメモリアルセルを示し、また、Wは書き込み時に高レベル“H”となる書き込み制御信号、Eは消去時に高レベル“H”となる消去制御信号を示している。

【0099】図51に示す半導体記憶装置における動作は、例えば、前述した図2に示す関連技術の半導体記憶装置と基本的に同様のであるが、図51に示す半導体記憶装置では、ブロックアドレスバッファ710およびブロック選択ゲート7101、7102がさらに設けられている。すなわち、図51に示す半導体記憶装置においては、複数のブロックB1、B2が設けられ、ブロックアドレスバッファ710からのブロック選択信号によりブロック選択ゲート7101、7102を選択して任意の一つのブロックを書き込み回路716 あるいはセンスアンプ717に接続するようになっている。ここで、メモリアルレイは、ソースを共通にした2つのブロックB1、B2で構成され、各ブロックB1、B2に設けられたソース電圧回路7191、7192によりブロック毎に消去（ブロック消去）が行えるようになっている。

33

【0100】図51の半導体記憶装置において、消去時には、高レベル“H”となる消去信号Eがロウアドレスバッファ711、コラムアドレスバッファ713に人力され、ロウアドレスバッファ711およびコラムアドレスバッファ713の出力を非選択論理（例えば、相補出力が共に低レベル“L”）とし、全てのワード線WLおよびビット線BLが非選択となる。さらに、消去信号Eはブロックアドレスバッファ710からのブロック選択信号と共にソース電源回路7191、7192に人力され、例えば、該ブロック選択信号が高レベル“H”となる所定の1つのソース電源回路を消去用電圧Vppとして、所定のブロックの消去が実行される。

【0101】また、書き込み時には、高レベル“H”となる書き込み制御信号Wがロウアドレスバッファ711、コラムアドレスバッファ713に人力され、ロウデコーダ712およびコラムデコーダ714に人力され、これにより、ワード線WLは書き込みレベルVppとされ、また、ビット線BLはブロック選択信号により選択されたブロック選択ゲート7101、7102を介して書き込み回路716に接続される。ここで、書き込み回路716から選択されたブロックの所定のビット線BLには、書き込み電圧（例えば、6ボルト）が供給され、書き込みが実行される。

【0102】上述した図51に示す関連技術の半導体記憶装置では、ブロック消去を実行することは可能であるが、両ブロック（複数ブロック）を同時に消去することは不可能である。すなわち、図51の半導体記憶装置では、各ブロック毎の消去をシーケンシャルに行って、複数ブロックの消去を行うようになっている。さらに、消去後のペリファイに関しても、消去を行ったブロック毎のペリファイをシーケンシャルに行うようになっている。そのため、複数ブロックを消去する場合には、長時間を要すると共に、ペリファイ処理も複雑化する長点になっている。

【0103】本発明に係る半導体記憶装置の第7の形態は、複数ブロックを同時に消去すると共に、複数ブロックを同時に消去した場合でも簡単にペリファイを実効することを目的とする。図52は本発明に係る半導体記憶装置の第7の形態の実施例を示すブロック回路図である。同図において、参照符号701はブロックアドレスバッファ、7021,7022は期待値データ格納回路、7031,7032は一致回路、704は論理回路（ナンドゲート）、721はロウアドレスバッファ、722はロウデコーダ、723はコラムアドレスバッファ、724はコラムデコーダ、725はデータI/Oバッファ、7261,7262は書き込み回路、7271,7272はセンスアンプ、そして、7091,7092はソース電源回路を示している。また、参照符号B1はビット線、WLはワード線、MCはメモリセルを示し、また、Wは書き込み時に高レベル“H”となる書き込み制御信号、Eは消去時に高レベル“H”となる消去制御信号を示している。すなわち、図52に示す実施例は、図51の関連技術の半導体記憶装置

34

置に対して、期待値データ格納回路7021,7022、一致回路7031,7032、マルチプレクサ（データI/Oバッファ）725、および、ナンドゲート704が追加された構成となっている。

【0104】まず、消去時においては、ブロックアドレスバッファ701からの出力信号で選択されるソース電源回路7091,7092のいずれかに選択信号をラッチ制御信号LTを高レベル“H”としてラッチさせる。その後、消去制御信号Eを高レベル“H”として選択信号がラッチされたソース電源回路の全てを動作させ、これにより複数ブロックの消去処理を同時に実行する。

【0105】図53は図52の半導体記憶装置におけるソース電源回路の一例を示す回路図であり、図54は期待値データ格納回路の一例を示す回路図、そして、図55は一致回路の一例を示す回路図である。図53に示されるように、ソース電源回路7091(7092)は、ブロックアドレス信号（ブロック選択信号）およびラッチ制御信号が人力されたナンドゲート731と、ラッチ回路を構成するナンドゲート732およびインバータ733と、該ラッチ回路の出力および消去制御信号Eが人力されたナンドゲート734と、消去用電圧(Vpp)が印加されたPチャネル型MOSトランジスタ736,737およびNチャネル型MOSトランジスタ738を備えて構成されている。また、図54に示されるように、期待値データ格納回路7021(7022)は、インバータ741,744,745,746,750、および、ナンドゲート742,743,747,748,749を備えて構成されている。ここで、ナンドゲート743およびインバータ744はラッチ回路を構成し、該ラッチ回路の出力は反転制御信号INVに応じて制御されるようになっている。さらに、図55に示されるように、一致回路7031(7032)は、インバータ753、ナンドゲート751,752,755、および、エクスクルージブオアゲート754を備えて構成されている。ここで、ナンドゲート752およびインバータ753はラッチ回路を構成し、センスアンプ7271(7272)の出力（センスアンプデータ）と期待値データ格納回路7021(7022)の出力（リフェレンスデータ）とが一致するか否かの判定を行うようになっている。

【0106】上述した各回路により、まず、ブロックアドレス信号をラッチして行う消去動作においては、そのラッチした消去回路のみを消去制御信号“E”で動作させるようになっている。また、消去前書き込みでは、同様にラッチ制御信号LTを高レベル“H”とすることにより書き込みデータ“0”を期待値データ格納回路7021(7022)にラッチするようになっている。この場合、ブロックアドレス信号によって選択された期待値データ格納回路7021(7022)にデータI/Oバッファ725からデータ“0”を転送し、該データ“0”をラッチ制御信号LTを高レベル“H”とすることでラッチするようになっている。ここで、一致回路7031(7032)の出力は、選択されたブロック以外では強制的に高レベル“H”を出力させ

35

るようになっていて、以上より、書き込み制御信号Wを高レベル“H”として書き込みを実行させると、選択された複数のブロックは同時に書き込みが実行される。

【0107】次に、ペリファイ時には、期待値データ格納回路7021(7022)に格納された期待値データと、センスアンプ7271(7272)の出力とが比較されナンドゲート704へ一致回路7031および7032の出力が送られる。もし、書き込みが充分に行なわれればセンスアンプ出力は低レベル“L”となるから、一致信号出力は高レベル“H”となり、全てのセルブロックにデータが書き込まれると、ナンドゲート704のペリファイ出力VERは低レベル“L”となって書き込みが全ブロックの所定アドレスで終了したことが確認できる。ここで、消去ペリファイ時には、反転信号INVにより期待値データを反転してペリファイすれば、もし、全ての選択されたブロック中の所定のアドレスデータがデータ“1”となった場合、書き込みと同様にペリファイ出力VERが低レベル“L”となってデータ消去が行なわれたことが検出できる。このように、本実施例の半導体記憶装置によれば、一致回路7031(7032)の全ての出力が高レベル“H”の時だけ、ナンドゲート704の出力が低レベル“L”となり、一つでも出力が低レベル“L”となる一致回路が存在すれば、不良ビットが存在することが確認されることになる。

【0108】図56は本発明に係る半導体記憶装置の第7の形態の他の実施例を示すブロック回路図である。図56に示す半導体記憶装置は、上述した図52の半導体記憶装置における期待値データ格納回路7021(7022)を、期待値データ発生回路7041(7042)に置き換えるようにしたものである。図52に示す半導体記憶装置においては、消去前の書き込みおよび消去するのに必要なリファレンスデータは、全ビットともデータ“0”或いはデータ“1”であるため、ランダムデータを格納する手段を使用しなくても実現は可能である。しかしながら、図56に示す本実施例においては、ブロックアドレス信号により選択された期待値データ発生回路7041(7042)にその選択信号をラッチ制御信号LTを高レベル“H”とすることによってラッチするようにになっている。そして、ラッチされた期待値データ発生回路7041(7042)からは、強制的にデータ“0”が発生される。また、消去時には、反転制御信号INVによりその期待値データを反転させれば、前述したのと同様な消去ペリファイも可能となる。

【0109】図57は図56の半導体記憶装置における期待値データ発生回路の一例を示す回路図である。同図に示されるように、期待値データ発生回路7041(7042)は、インバータ763, 764, 767, 768, ナンドゲート761, 762, 766, 769, 770, および、ノアゲート765を備えて構成されている。ここで、ナンドゲート762およびインバータ763はラッチ回路を構成している。この図57に示す期待値データ発生回路7041(7042)では、アドレスデータ信号(ブロック選択信号)をラッチ回路(762, 763)にラッチ

36

すると、リファレンスデータは強制的に低レベル“L”となり、また、反転制御信号INVを高レベル“H”とすると、リファレンスデータは高レベル“H”となる。

【0110】図58は本発明に係る半導体記憶装置の第7の形態のさらに他の実施例を示すブロック回路図である。図58に示す実施例においては、図52の期待値データ格納回路7021(7022)、書き込み回路7261(7262)および一致回路7031(7032)を、ブロック選択信号格納回路7051(7052)、書き込み回路7161(7162)およびデータ反転回路7061(7062)に置き換えた構成となっている。すなわち、本実施例では、ブロック選択信号格納回路7051(7052)に格納された選択信号により、消去前書き込みおよびそのペリファイと消去ペリファイを制御するようになっている。

【0111】図58に示す半導体記憶装置において、まず、消去前書き込み時には、ブロック選択信号(ブロックアドレス信号)により所定のブロックのセルに書き込みを行なう。ここで、データ反転回路7061(7062)は、センスアンプ7271(7272)のデータを消去ペリファイ時と書き込みペリファイ時とで反転させる機能を持ち、書き込みおよび消去が十分に行なわれると出力が高レベル“H”となるようにされている。また、このとき非選択のブロックにおいては、ブロック選択信号格納回路7051(7052)の出力信号により常に高レベル“H”となるようにされている。これにより、前述のような消去前書き込みおよび消去を実現することができ。

【0112】図59は図58の半導体記憶装置におけるブロック選択信号格納回路の一例を示す回路図、図60は書き込み回路の一例を示す回路図、そして、図61はデータ反転回路の一例を示す回路図である。図59に示されるように、ブロック選択信号格納回路7051(7052)は、ブロックアドレス信号(ブロック選択信号)およびラッチ制御信号が入力されたナンドゲート771と、ラッチ回路を構成するナンドゲート772およびインバータ773で構成されている。また、図60に示されるように、書き込み回路7161(7162)は、インバータ781、ノアゲート782, ナンドゲート783, および、書き込み用電源(Vpp)が印加されたPチャネル型MOSトランジスタ785, 786およびNチャネル型MOSトランジスタ787を備えて構成されている。さらに、図61に示されるように、データ反転回路7061(7062)は、インバータ792, 793およびナンドゲート791, 794, 795, 796を備えて構成されている。そして、反転信号INVに応じてセンスアンプ7271(7272)の出力を反転してナンドゲート704へ供給するようになっている。

【0113】図59に示すブロック選択信号格納回路7051(7052)において、ブロックアドレス信号をラッチ制御信号LTの高レベル“H”に従ってラッチ回路(772, 773)にラッチする構成となっている。そして、選択信号のラッチされたブロックでは、入力データのレベルにか

37

かわらず、書き込み制御信号Wを高レベル“H”とすることによりバス線に書き込み電圧V_{pp}を印加するようになっている。

【0114】図6に示すデータ反転回路7061(7062)において、書き込みペリファイ時には反転制御信号INVを低レベル“L”とすると、センスアンプ7271(7272)の出力が低レベル“L”(書き込みが行なわれた状態)となり、ナンドゲート704への出力が高レベル“H”となる。また、消去ペリファイ時には、反転制御信号INVを高レベル“H”とする。ここで、非選択ブロックにおいて、書き込みを実行できるように。尚、マルチプレクサ725は、書き込みデータおよびセンスアンプデータをブロック選択アドレスに従って、所定のブロックに供給し、また、所定のブロックのデータを出力するかを制御するものである。

【0115】以上、説明したように、本発明に係る半導体記憶装置の第7の形態によれば、各セルブロックのソース電源回路にブロック選択信号のラッチ回路を備え、同時に各セルソース電源回路を動作させると共に、各セルブロックにセンスアンプとペリファイの期待値データ発生回路とセンスアンプ出力と期待値の一致を確認する回路を備え、且つ、該一致回路の出力の論理積をとる回路を備えることによって、同時に消去およびペリファイを行なうことが可能となる。

【0116】

【発明の効果】以上、詳述したように、本発明の半導体記憶装置の第1の形態によれば、ワード線冗長を有効に導入できるとともに、安定した書き込みおよび各ペリファイが可能となり、高歩留りで高性能なデバイスを実現することができる。本発明の半導体記憶装置の第2の形態によれば、リアルセルにおける複数の欠陥を冗長セルで置き換える場合に回路の増大を少なくして対応することができ、チップ面積を小さくすることができる。また、リアルセルにおける複数の欠陥を置き換えることができるため、大容量の半導体記憶装置を高歩留りで且つ低コストで提供することができる。

【0117】本発明の半導体記憶装置の第3の形態によれば、劣化による書き換え時間の増大を見込んだ最大回数 n ($n < N$)により出荷試験を行うことによって、ユーザ側での最大回数 N を保証することができる。本発明の半導体記憶装置の第4の形態によれば、書き込み電圧供給用トランジスタでの閾値電圧による書き込みドレイン電圧の低下を防止することによって、書き込み電圧の低電圧化においても良好なデータの書き込みを実現することができる。

【0118】本発明の半導体記憶装置の第5の形態によれば、過剰消去を起こしたセルトランジスタが存在して

38

もデータを正確に読み出すことができる。本発明の半導体記憶装置の第6の形態によれば、過剰消去を起こしたセルトランジスタを救済して、正確なデータを読み出すようにすることができる。本発明に係る半導体記憶装置の第7の形態によれば、複数ブロックを同時に消去すると共に、複数ブロックを同時に消去した場合でも簡単にペリファイを実効することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置の第1の形態の一実施例を示すブロック回路図である。

【図2】本発明に係る半導体記憶装置の第1の形態に対応する関連技術の半導体記憶装置の一例を示すブロック回路図である。

【図3】図2の半導体記憶装置におけるコラムアドレスバッファの一例を示す回路図である。

【図4】図2の半導体記憶装置におけるロウアドレスバッファの一例を示す回路図である。

【図5】図2の半導体記憶装置におけるロウデコーダの一例を示す回路図である。

【図6】図2の半導体記憶装置におけるコラムデコーダの一例を示す回路図である。

【図7】図2の半導体記憶装置における書き込み回路の一例を示す回路図である。

【図8】図2の半導体記憶装置におけるソース電源回路の一例を示す回路図である。

【図9】図2の半導体記憶装置におけるセンスアンプの一例を示す回路図である。

【図10】図2の半導体記憶装置における書き込み特性曲線の一例を示す図である。

【図11】本発明が適用される半導体記憶装置に使用するメモリの動作を説明するための図である。

【図12】図1の半導体記憶装置におけるロウアドレスバッファの一例を示す回路図である。

【図13】図1の半導体記憶装置におけるロウデコーダの一例の要部を示す回路図である。

【図14】図1の半導体記憶装置における一致回路の一例を示す回路図である。

【図15】図1の半導体記憶装置におけるロウデコーダの一例の要部を示す回路図である。

【図16】図15の回路に印加される信号の波形を示す図である。

【図17】図1の半導体記憶装置におけるペリファイ電圧発生回路の一例を示す回路図である。

【図18】図1の半導体記憶装置におけるセンスアンプの一例を示す回路図である。

【図19】図18のセンスアンプに供給する制御信号を作成する論理回路の一例を示す回路図である。

【図20】本発明に係る半導体記憶装置の第2の形態に対応する従来の半導体記憶装置における冗長回路の一例を示すブロック回路図である。

【図21】図20に示す従来の冗長回路の構成例を示す図である。

【図22】図20に示す従来の冗長回路を使用した半導体記憶装置の一例を示すブロック図である。

【図23】本発明に係る半導体記憶装置の第2の形態における冗長回路の実施例を示すブロック回路図である。

【図24】図23に示す本発明の冗長回路が適用される半導体記憶装置におけるリアルセルおよび冗長セルの構成を示すブロック図である。

【図25】図23に示す本発明の冗長回路を使用した半導体記憶装置の一例を示すブロック図である。

【図26】本発明に係る半導体記憶装置の第2の形態における冗長回路の他の実施例を示すブロック回路図である。

【図27】本発明に係る半導体記憶装置の第2の形態における冗長回路のさらに他の実施例を示すブロック回路図である。

【図28】図27に示す本発明の冗長回路を使用した半導体記憶装置の一例を示すブロック図である。

【図29】本発明に係る半導体記憶装置の第3の形態における内部書き込みアルゴリズムを示すフローチャートである。

【図30】本発明の半導体記憶装置の第3の形態の実施例を示すブロック図である。

【図31】図30の半導体記憶装置における要部の回路例を示す図である。

【図32】図31の1回路の動作を説明するためのタイミング図である。

【図33】本発明に係る半導体記憶装置の第4の形態におけるメモリセルの動作を説明するための図である。

【図34】本発明の半導体記憶装置の第4の形態に対応する関連技術としての半導体記憶装置の一例を示すブロック回路図である。

【図35】本発明の半導体記憶装置の第4の形態の実施例を示すブロック回路図である。

【図36】本発明の半導体記憶装置の第4の形態の他の実施例の要部を示す回路図である。

【図37】本発明に係る半導体記憶装置の第5の形態に対応する従来の半導体記憶装置の一例を示すブロック回路図である。

【図38】図37の半導体記憶装置におけるロウデコードの構成を示す回路図である。

【図39】図37の半導体記憶装置におけるコラムデコードの構成を示す回路図である。

【図40】図39のコラムデコードにおけるビット線トランスファークロスの構成を示す回路図である。

【図41】本発明に係る半導体記憶装置の第5の形態の実施例を示すブロック回路図である。

【図42】図41の半導体記憶装置におけるロウデコー

ダの構成を示す回路図である。

【図43】本発明に係る半導体記憶装置の第5の形態の他の実施例を示すブロック回路図である。

【図44】図43の半導体記憶装置における第1および第2のロウデコードの一例を示す回路図である。

【図45】図44の第2のロウデコードの一部を示す回路図である。

【図46】本発明に係る半導体記憶装置の第6の形態の要部を示す回路図である。

【図47】図46における半導体記憶装置のセンスアンプの一例を示す回路図である。

【図48】本発明に係る半導体記憶装置の第6の形態が適用されるシステムの一例を概略的に示すブロック図である。

【図49】本発明に係る半導体記憶装置の第6の形態における処理の一例を説明するためのフローチャートである。

【図50】本発明の半導体記憶装置の第7の形態に使用するメモリセルの動作を説明するための図である。

【図51】本発明に係る半導体記憶装置の第7の形態に対応する関連技術の半導体記憶装置の一例を示すブロック回路図である。

【図52】本発明に係る半導体記憶装置の第7の形態の実施例を示すブロック回路図である。

【図53】図52の半導体記憶装置におけるソース電圧回路の一例を示す回路図である。

【図54】図52の半導体記憶装置における期待値データ格納回路の一例を示す回路図である。

【図55】図52の半導体記憶装置における一致回路の一例を示す回路図である。

【図56】本発明に係る半導体記憶装置の第7の形態の他の実施例を示すブロック回路図である。

【図57】図56の半導体記憶装置における期待値データ発生回路の一例を示す回路図である。

【図58】本発明に係る半導体記憶装置の第7の形態のさらに他の実施例を示すブロック回路図である。

【図59】図58の半導体記憶装置におけるブロック選択信号格納回路の一例を示す回路図である。

【図60】図58の半導体記憶装置における書き込み回路の一例を示す回路図である。

【図61】図58の半導体記憶装置におけるデータ反転回路の一例を示す回路図である。

【符号の説明】

101 …ロウアドレスバッファ

102 …ロウデコード

103 …コラムアドレスバッファ

104 …コラムデコード

105 …データI/O バッファ

106 …書き込み回路

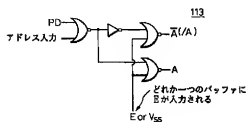
107 …センスアンプ

41

- 108 …負電圧発生回路
- 109 …ソース電源回路
- 120 …一致回路
- 130 …冗長ロウデコーダ
- 140 …ベリファイ電圧発生回路
- 200 …冗長回路
- 201A, 201B …ヒューズ
- 202 …抵抗器
- 203 …インバータ
- 204 …アドレス比較回路
- 205 …冗長セル選択回路
- 206 …冗長セル
- 207 …リアルセル選択回路
- 208 …リアルセル
- 209 …データ読み出し回路
- 311 …書き込み制御回路
- 312 …書き込みバース発生回路
- 313 …セルアレイ
- 314 …バースカウンタ
- 315 …スイッチ部
- 316 …停止信号発生回路
- 317 …高電圧検出回路
- 401 …ロウアドレスバッファ
- 402 …ロウデコーダ
- 403 …コラムアドレスバッファ
- 404 …コラムデコーダ
- 405 …バッファ回路

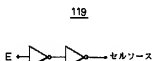
【図3】

図2の半導体記憶装置におけるコラムアドレスバッファの一例を示す回路図



【図8】

図2の半導体記憶装置におけるソース電源回路の一例を示す回路図である

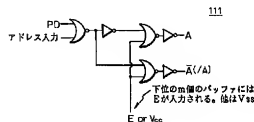


42

- 406 …書き込み電圧供給用トランジスタ (Pチャネル型 MOSトランジスタ)
- 407 …センスアンプ
- 408 …バス線
- 502 …ロウデコーダ
- 504 …コラムデコーダ
- 507 …センスアンプ
- 509 …ソース電源回路
- 5221…第1のロウデコーダ
- 5222…第2のロウデコーダ
- 602 …ロウデコーダ
- 604 …コラムデコーダ
- 607 …センスアンプ
- 610 …フラッシュメモリ
- 620 …ROM
- 630 …CPU
- 704 …論理回路 (ナンドゲート)
- 721 …ロウアドレスバッファ
- 722 …ロウデコーダ
- 723 …コラムアドレスバッファ
- 724 …コラムデコーダ
- 725 …データI/O バッファ (マルチプレクサ)
- 7021, 7022 …期待値データ格納回路
- 7031, 7032 …一致回路
- 7041, 7042 …期待値データ発生回路
- 7051, 7052 …ブロック選択信号格納回路
- 7061, 7062 …データ反転回路

【図4】

図1の半導体記憶装置におけるロウアドレスバッファの一例を示す回路図



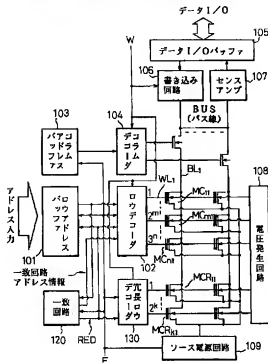
【図15】

図1の半導体記憶装置におけるロウデコーダの一例を示す回路図



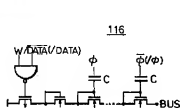
【図1】

本発明に係る半導体記憶装置の第1の形態の一例を示すブロック回路図



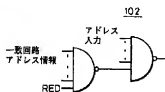
【図7】

図2の半導体記憶装置における書き込み回路の一例を示す回路図



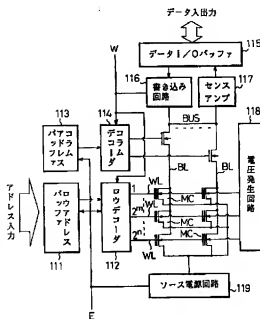
【図13】

図1の半導体記憶装置におけるロウアドレスバッファの一例を示す回路図



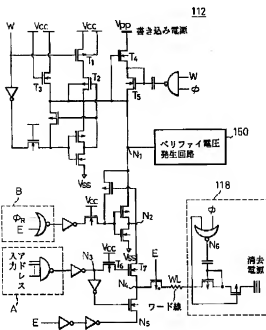
【図2】

本発明に係る半導体記憶装置の第1の形態に対応する関連技術の半導体記憶装置の一例を示すブロック回路図



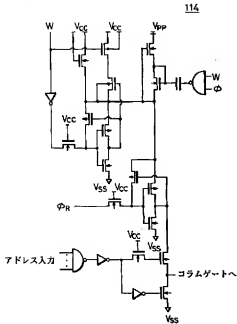
【図5】

図2の半導体記憶装置におけるロウデコーダの一例を示す回路図



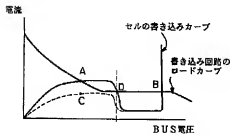
【図6】

図2の半導体記憶装置におけるコラムデコードの一例を示す回路図



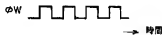
【図10】

半導体記憶装置における書き込み特性曲線の一例を示す図



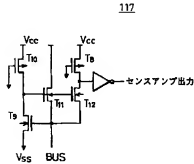
【図16】

図15の回路に印加される信号の波形を示す図



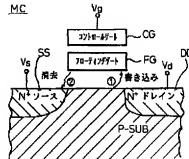
【図9】

図2の半導体記憶装置におけるセンスアンプの一例を示す回路図



【図11】

本発明の第1の形態が適用される半導体記憶装置に使用するメモリの動作を説明するための図

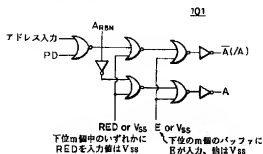


書き込み	Vg	Vd	Vs
読み出し	+高電圧	Vdw	0 V
膜欠	Vcc	~1 V	0 V
	低電圧	オープン	Vcc

Vccは、読み出し電源電圧
+高電圧は~10V Vdwは書き込み時
-高電圧は~10Vドレイン電圧

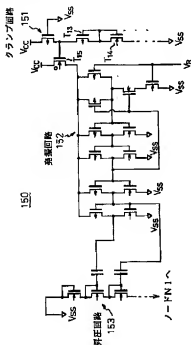
【圖 12】

図1の半導体記憶装置におけるロウアドレスバッファの一例を示す回路図



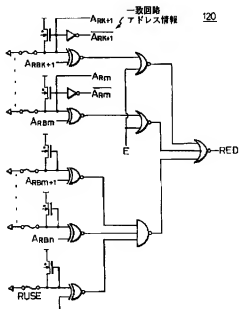
【图 17】

図1の半導体記憶装置におけるペリァイ電圧発生回路の一例を示す回路図



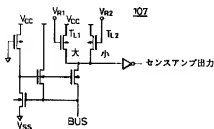
【图 1-4】

図1の半導体記憶装置における一致回路の一例を示す回路図



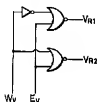
【圖 18】

図1の半導体記憶装置におけるセンスアンプの一例を示す回路図



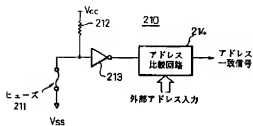
【图 19】

図18のセンスアンプに供給する制御信号を作成する論理回路の一例を示す回路図



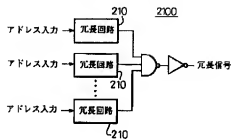
【图 20】

本発明に係る半導体記憶装置の第2の形態に対応する従来の半導体記憶装置における冗長回路の一例を示すブロック回路図



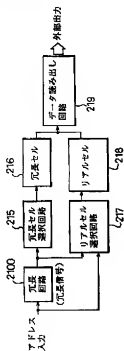
【图 2-1】

図20に示す従来の冗長回路の構成例を示す図



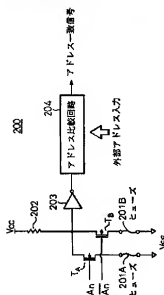
【图 2-2】

図21に示す従来の冗長回路を使用した半導体記憶装置の一例を示すブロック図



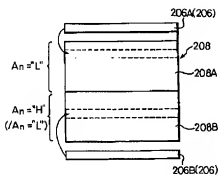
【图23】

本発明に係る半導体記憶装置の第2の形態における
冗長回路の一部構成を示すブロック回路図



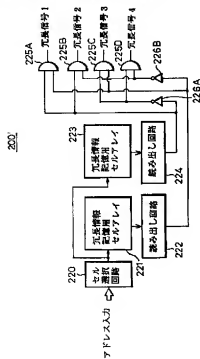
【図24】

図23に示す本発明の冗長回路が適用される半導体記憶装置におけるリアルセルおよび冗長セルの構成を示す図



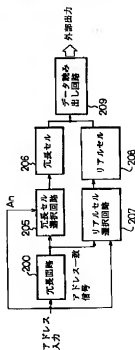
【図26】

本発明に係る半導体記憶装置の第2の形態における冗長回路の他の実施例を示すブロック図



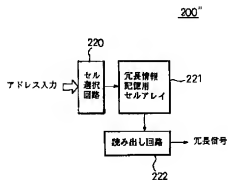
【図25】

図23に示す本発明の冗長回路を使用した半導体記憶装置の一例を示すブロック図



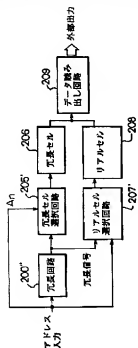
【図27】

本発明に係る半導体記憶装置の第2の形態における冗長回路のさらに他の実施例を示すブロック図



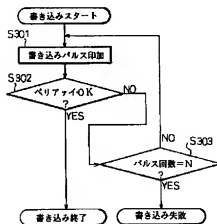
【図28】

図27に示す本発明の元品回路を使用した半導体記憶装置の一例を示すブロック図



【図29】

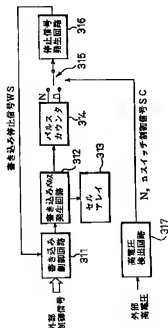
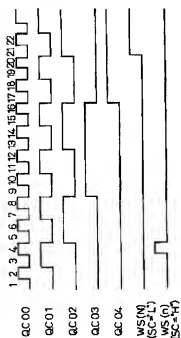
本発明に係る半導体記憶装置の第3の形態における基礎となる内部書き込みアルゴリズムの一例を示すフローチャート



【図30】

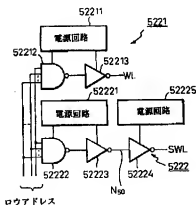
本発明の半導体記憶装置の第3の形態の一実施例を示すブロック図

図31の回路の動作を説明するためのタイミング図



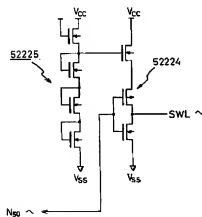
【図44】

図43の半導体記憶装置における第1および第2の
ロウデコーダの一例を示す回路図



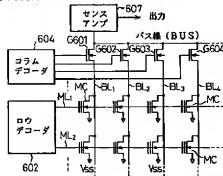
【図45】

図44の第2のロウデコーダの一部を示す回路図



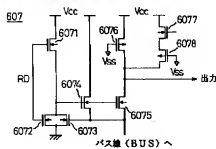
【図46】

本発明に係る半導体記憶装置の第1の形態の要部を
示す回路図



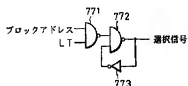
【図47】

図46における半導体記憶装置のセンスアンプの
一例を示す回路図



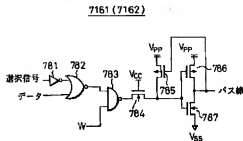
【図59】

図58の半導体記憶装置におけるブロック選択信号格納回路
の一例を示す回路図



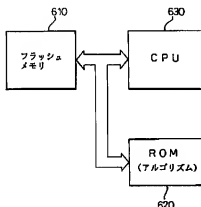
【図60】

図58の半導体記憶装置における書き込み回路の一例を
示す回路図



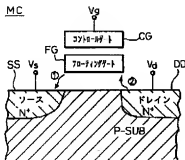
【図48】

本発明に係る半導体記憶装置の第6の形態が適用されるシステムの一部を概略的に示すブロック図



【図50】

本発明の半導体記憶装置の第7の形態に使用するメモリセルの動作を説明するための図

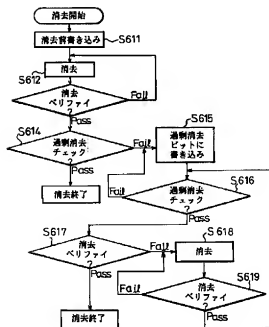


	V_g	V_d	V_s
読み出し	V_{cc}	1V	0V
書き込み	V_{pp}	6V	0V
消去	オープン	オープン	V_{pp}

V_{pp} 書き込み/消去用電源
 V_{cc} 読み出し用電源

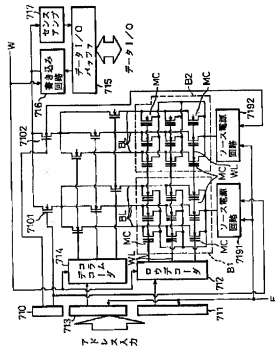
【図49】

本発明に係る半導体記憶装置の第6の形態における処理の一例を説明するためのフローチャート



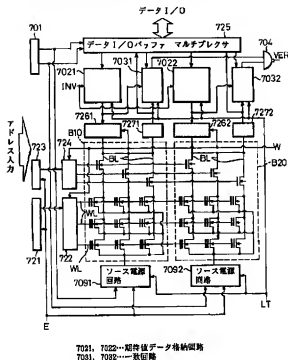
【図51】

本発明に係る半導体記憶装置の第7の形態に対応する回路技術の半導体記憶装置の一例を示すブロック図



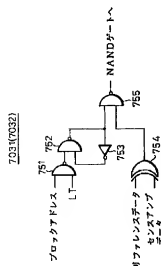
【図52】

本発明に係る半導体記憶装置の第7の回路の一実施例を示すブロック回路図



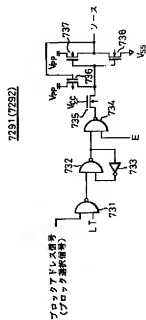
【図53】

図52の半導体記憶装置における一致回路の一例を示す回路図



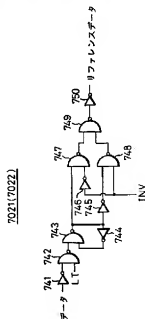
【図54】

図52の半導体記憶装置におけるソース電圧回路の一例を示す回路図



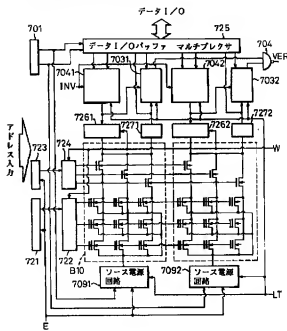
【図55】

図52の半導体記憶装置における期待値データ格納回路の一例を示す回路図



【図56】

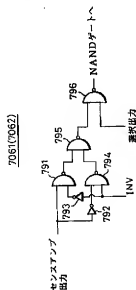
本発明に係る半導体記憶装置の第7の形態の他の実施例を示すブロック図



7031, 7032...一般回路
7041, 7042...期待値データ発生回路

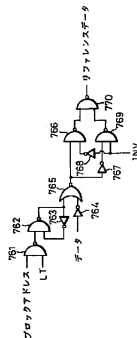
【図61】

図58の半導体記憶装置におけるデータ反転回路の一例を示す回路図



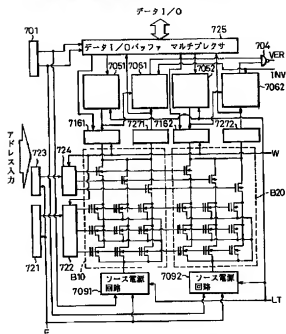
【図57】

図58の半導体記憶装置における期待値データ発生回路の一例を示す回路図



【図58】

本発明に係る半導体記憶装置の第7の形態のさらに他の実施例を示すブロック図



7051, 7062→ブロック選択信号格納回路
7041, 7092→データ反転回路

フロントページの続き

(51) Int. Cl. ⁴

G 1 1 C 16/06

H 0 1 L 27/115

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 山下 実

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 笠 靖

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 板野 清義

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内